

#2  
Priority  
Paper  
9-22-a  
501.38834x00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): KATO, ET AL.  
Serial No.:  
Filed: August 4, 2000  
Title: ON-CHIP MULIPROCESSOR  
Group:



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

August 4, 2000

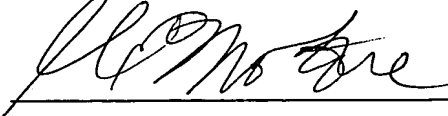
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 11-221728 filed August 4, 1999.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

A handwritten signature in cursive script, appearing to read "Gregory E. Montone", written over a horizontal line.

Gregory E. Montone  
Registration No. 28,141

GEM/mdt  
Attachment  
(703)312-6600

319901608

YM

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

jc841 U.S. PTO  
09/631628  
08/04/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 8月 4日

出 願 番 号

Application Number:

平成11年特許願第221728号

出 願 人

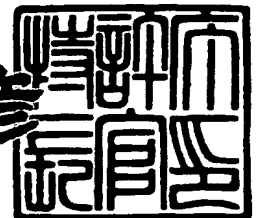
Applicant (s):

株式会社日立製作所

2000年 4月21日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3028604

【書類名】 特許願

【整理番号】 PNT990529

【提出日】 平成11年 8月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/16

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 加藤 猛

【発明者】

    【住所又は居所】 神奈川県秦野市堀山下 1 番地 株式会社日立製作所 エンタープライズサーバ事業部内

    【氏名】 山本 通敬

【発明者】

    【住所又は居所】 神奈川県秦野市堀山下 1 番地 株式会社日立製作所 エンタープライズサーバ事業部内

    【氏名】 戒能 博通

【発明者】

    【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

    【氏名】 清水 照久

【発明者】

    【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

    【氏名】 大林 正幸

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 山下 寛樹

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 益田 昇

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 齊藤 達也

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 オンチップマルチプロセッサ

【特許請求の範囲】

【請求項 1】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置されていることを特徴とするオンチップマルチプロセッサ。

【請求項 2】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一対のプロセッサに対する制御部が前記直線軸または原点を含む領域に配置されていることを特徴とするオンチップマルチプロセッサ。

【請求項 3】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一対のプロセッサに対する制御部が、当該制御部から双方のプロセッサまでの遅延時間が略等しいことを特徴とするオンチップマルチプロセッサ。

【請求項 4】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一対のプロセッサに対する制御部が前記直線軸または原点を含む領域に配置され、当該制御部から双方のプロセッサまでの遅延時間が略等しいことを特徴とするオンチップマルチプロセッサ。

【請求項 5】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一対のプロセッサに対する制御部が、当該制御部から双方のプロセッサまでの遅延時間が略等しく、前記一対のプロセッサに前記制御部を介して接続される共用部が前記直線軸または原点を含んで配置されていることを特徴とするオンチップマルチプロセッサ。

【請求項 6】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称関係を有する位置より相互に前記直線軸又は前記プロセッサ領域の対向する面と平行な方向に平行移動した位置に配置されていることを特徴とするオンチップマルチプロセッサ。

【請求項 7】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称関係を有する位置より相互に前記直線軸又は前記プロセッサ領域の対向する面と平行な方向に平行移動した位置に配置され、前記一対のプロセッサに対する制御部が前記直線軸または原点を含む領域に配置されていることを特徴とするオンチップマルチプロセッサ。

【請求項 8】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称関係を有する位置より相互に前記直線軸又は前記プロセッサ領域の対向する面と平行な方向に平行移動した位置に配置され、前記一対のプロセッサに対する制御部が、当該制御部から双方のプロセッサまでの遅延時間が略等しいことを特徴とするオンチップマルチプロセッサ。

【請求項 9】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称関係を有する位置より相互に前記直線軸又は前記プロセッサ領域の対向する面と平行な方向に平行移動した位置に配置され、前記一対のプロセッサに対する制御部が前記直線軸または原点を含む領域に配置され、当該制御部から双方のプロセッサまでの遅延時間が略等しいことを特徴とするオンチップマルチプロセッサ。

【請求項 10】 独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称関係を有する位置より相互に前記直線軸又は前記プロセッサ領域の対向する面と平行な方向に平行移動した位置に配置され、前記一対のプロセッサに対する制御部が、当該制御部から双方のプロセッサまでの遅延

時間が略等しく、前記一対のプロセッサに前記制御部を介して接続される共用部が前記直線軸または原点を含んで配置されていることを特徴とするオンチップマルチプロセッサ。

【請求項 1 1】 前記プロセッサが論理ユニットとキャッシュメモリとを有し、前記一対のプロセッサに関して同一機能で対を成す論理ユニット同士またはキャッシュメモリ同士が前記直線軸または前記原点に対して互いに対称に配置されていることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 1 2】 前記論理ユニットと前記キャッシュメモリがそれぞれ論理ブロックとメモリマットとを有し、前記一対のプロセッサに関して同一機能で対を成す論理ブロック同士またはメモリマット同士が前記直線軸または前記原点に対して互いに対称に配置されていることを特徴とする請求項 1 1 に記載のオンチップマルチプロセッサ。

【請求項 1 3】 前記論理ブロックと前記メモリマットがそれぞれ論理回路群とメモリ回路群とを有し、前記一対のプロセッサに関して同一機能で対を成す論理回路群同士またはメモリ回路群同士が前記直線軸または原点に対して互いに対称に配置されていることを特徴とする請求項 1 1 に記載のオンチップマルチプロセッサ。

【請求項 1 4】 前記論理回路群と前記メモリ回路群が MOS トランジスタ回路から成り、前記回路群の内部のソースとゲートとドレインの配列、または p MOS と n MOS の配列が前記直線軸または原点に対して互いに対称であることを特徴とする請求項 1 1 に記載のオンチップマルチプロセッサ。

【請求項 1 5】 前記一対のプロセッサにある少なくとも一部の MOS トランジスタが、1 本のゲートと、ゲートの片側に配されたソース及びドレインと、該ソース及びドレインに対してゲートのもう片側でそれぞれ向かい合うドレイン及びソースとを有し、または同じ信号が入力される 2 本のゲートと、該ゲートの間に挟まれた 1 つのドレインと、ゲートの外側に配された 2 つのソースとを有することを特徴とする請求項 1 4 に記載のオンチップマルチプロセッサ。

【請求項 1 6】 前記プロセッサが MOS トランジスタ回路から成り、前記一対のプロセッサが MOS トランジスタのゲートに平行または垂直な直線軸に対してミラー対称、または前記原点に対して点对称であることを特徴とする請求項 1 より請求項 1 0 にのいずれかに記載のオンチップマルチプロセッサ。

【請求項 1 7】 前記一対のプロセッサが前記論理ユニットのデータフロー方向に平行または垂直な直線軸に対して線対称、または前記原点に対して点对称であることを特徴とする請求項 1 1 に記載のオンチップマルチプロセッサ。

【請求項 1 8】 独立に動作可能な複数のプロセッサとその制御部を有し、プロセッサを構成する論理ユニットまたはキャッシュメモリの一部が冗長二重化されており、少なくとも一対のプロセッサに関して同一機能で対を成す論理ユニット同士またはキャッシュメモリ同士がチップ平面上の所定の第 1 の直線軸に対して互いに線対称に配置されており、前記一対のプロセッサに対する制御部が第 1 の直線軸を含む領域に配置され、該制御部から双方のプロセッサまでの距離が概ね等価であり、各々のプロセッサに含まれる二重化された論理ユニット同士またはキャッシュメモリ同士が所定の第 2 の直線軸に対して互いに線対称に配置されていることを特徴とするオンチップマルチプロセッサ。

【請求項 1 9】 前記第 1 の直線軸と第 2 の直線軸が互いに直交していることを特徴とする請求項 1 8 に記載のオンチップマルチプロセッサ。

【請求項 2 0】 前記プロセッサが MOS トランジスタ回路から成り、前記第 1 の直線軸が MOS トランジスタのゲート幅方向に平行であり、前記第 2 の直線軸がゲート長方向に平行であることを特徴とする請求項 1 8 に記載のオンチップマルチプロセッサ。

【請求項 2 1】 前記第 1 の直線軸が前記論理ユニットのデータフロー方向に垂直であり、前記第 2 の直線軸がデータフロー方向に平行であることを特徴とする請求項 1 8 に記載のオンチップマルチプロセッサ。

【請求項 2 2】 前記一対のプロセッサがキャッシュメモリを共有しており、該共有キャッシュメモリと前記一対のプロセッサとの間の信号処理を調整する記憶制御ユニットが前記領域に配置されていることを特徴とする請求項 1 より請求項 1 0 にのいずれかに記載のオンチップマルチプロセッサ。



【請求項 2 3】 前記プロセッサが個別に 1 次キャッシュメモリを備え、複数のプロセッサで下位レベルのキャッシュメモリを共有していることを特徴とする請求項 2 2 に記載のオンチップマルチプロセッサ。

【請求項 2 4】 前記一対のプロセッサが I / O 回路群を共用しており、該 I / O 回路群と前記一対のプロセッサとの間の信号転送を調停する I / O 制御ユニットが前記領域に配置されていることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 2 5】 前記一対のプロセッサ、前記制御部、前記共用部に対して共通または独立にクロックを供給するクロック生成回路部が前記領域に配置されていることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 2 6】 前記一対のプロセッサ、前記制御部、前記共用部に対して共通または独立に給電を行なう電源制御回路部が前記領域に配置されていることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 2 7】 前記プロセッサが個別に 1 次キャッシュメモリとこれを制御する 1 次キャッシュ制御ユニットを備え、複数のプロセッサで下位レベルキャッシュメモリをその制御ユニットを介して共有しており、前記一対のプロセッサにおいて 1 次キャッシュ制御ユニットが各々のプロセッサ領域の前記直線軸または原点に近い側の 1 辺に寄せて配置され、対を成す 1 次キャッシュ制御ユニット同士の間の下位レベルキャッシュ制御ユニットが配置されていることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 2 8】 前記プロセッサが個別に自身の入出力信号を制御する第 1 の制御ユニットを備え、複数のプロセッサが I / O 回路群を第 2 の制御ユニットを介して共用しており、前記一対のプロセッサにおいて第 1 の制御ユニットが各々のプロセッサ領域の前記直線軸または原点に近い側の 1 辺に寄せて配置され、対を成す第 1 の制御ユニット同士の間第 2 の制御ユニットが配置されていることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 2 9】 前記一対のプロセッサにクロックを分配するクロックツリーのパターンが前記直線軸または前記原点に対して互いに対称であることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 3 0】 前記一対のプロセッサに給電する電源配線のパターンが前記直線軸または前記原点に対して互いに対称であることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 3 1】 前記プロセッサの I/O ピンがバンプアレイから成り、前記一対のプロセッサの表面上に設けられたバンプの配列が前記直線軸または前記原点に対して互いに対称であることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 3 2】 前記一対のプロセッサの一方が第 1 の半導体マスクパターンを用いて製造され、他方が第 1 のマスクパターンを対称変換した第 2 の半導体マスクパターンを用いて製造されていることを特徴とする請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサ。

【請求項 3 3】 請求項 1 より請求項 1 0 のいずれかに記載のオンチップマルチプロセッサが実装され、且つ前記一対のプロセッサの一方に対する配線基板の第 1 の配線パターンと、他方に対する第 2 の配線パターンとが配線基板上の所定の直線軸または前記原点に対して互いに対称であることを特徴とする配線基板。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は独立に動作可能な複数のプロセッサを同一チップに集積したオンチップマルチプロセッサに関するものである。更に、本願発明は、特に高性能化に好適なチップフロアプラン（レイアウト）に関するものである。

【0 0 0 2】

【従来の技術】

半導体プロセス技術の極微細化に伴って L S I チップの高集積化、高速化が著しく進展している。この高集積度を活かしてプロセッサを高性能化する手段として、同一チップ上に複数のプロセッサを搭載したオンチップマルチプロセッサが

提案されている。将来的に半導体プロセスに比べて L S I 実装技術の性能向上が追いつかず、両者の格差が広がる方向にあるため、オンチップシステム化がさらに重要になると予想される。

## 【 0 0 0 3 】

従来提案されたオンチップマルチプロセッサとして、例えば（１）特開平 5 - 6 1 7 6 8 号（記事 1）（２）特開平 8 - 2 1 2 1 8 5 号（記事 2）に記載の技術などが知られている。

## 【 0 0 0 4 】

記事 1 には、複数のプロセッサと、各プロセッサに専属の 1 次キャッシュメモリと、データ交換回路との機能ブロック構成図が提示されている。データ交換回路を介して複数のプロセッサと外部 2 次キャッシュメモリ及び外部メインメモリとの間のデータ転送を制御することにより、L S I チップの I / O ピン数を削減している。

## 【 0 0 0 5 】

記事 2 には複数のメモリセル領域と複数のプロセッサが互いにバス接続されたチップフロアプランが示されている。メモリセル領域の間にプロセッサを配置することにより、バス配線長を短縮して高速化を図り、バス面積を削減している。

## 【 0 0 0 6 】

オンチップではないがチップ実装技術によるマルチプロセッサとして（３）特開平 7 - 4 4 5 0 2 号（記事 3）に記載のデュアルプロセッサが知られている。面对称なマスクパターンで作成された 2 個のプロセッサチップを裏面同士貼り合わせてパッケージに実装し、2 個のプロセッサの I / O ピンをパッケージの共通外部バス端子に接続している。これによりパッケージの面積と I / O ピン数を削減している。

## 【 0 0 0 7 】

シングルプロセッサだが、チップフロアプランの関連技術として（４）I E E E M i c r o、M a r c h - A p r i l、1 9 9 9、p p. 1 2 - 2 3（記事 4）に記載の冗長二重化プロセッサが知られている。このプロセッサは命令ユニット、固定小数点演算ユニット（F X U）、浮動小数点演算ユニット（F P U）

、1次キャッシュを含むバッファ制御ユニット（BCE）、リカバリユニット（RU）から成る。信頼性向上のためにIUとFXUとFPUを二重化し、RUでエラー検出を行なっている。開示されたチップ写真では二重化部のレイアウトパターンがチップの2等分線に対してミラー対称になっている。

【0008】

【発明が解決しようとする課題】

オンチップマルチプロセッサの高性能化に向けた主要課題は、各々のプロセッサに対して独立で等価な動作を保証しながらマルチプロセッサ間を効率的に制御することである。即ち、プロセッサとその制御部との間のデータ転送や調停制御等の処理を、各プロセッサに対してバランス良く高速化することである。

【0009】

また、チップ上に集積されるキャッシュメモリやI/Oピン等の共有資源をマルチプロセッサで効率的に活用するためには、制御部と共有部間の信号処理も高速化する必要がある。プロセッサ、共有部、制御部間のインターコネクションの高速化はこれらのチップ上のレイアウトに深く依存しており、相互距離をいかに均等に短縮するかが重要な鍵を握っている。

【0010】

そこで、本願発明はマルチプロセッサ間制御の高速化、高性能化を可能にするチップフロアプランを提供することを狙いとする。

【0011】

本願発明の第1の目的は、オンチップマルチプロセッサの高性能化に向けたフロアプランとして、複数のプロセッサ、プロセッサ間制御部／共用部の具体的な配置を提供することにある。

【0012】

さらに、本願は、要求される性能と設計階層に応じて、ユニットレベル、ブロックレベル、回路レベル、トランジスタレベルにおけるレイアウトを提供する。

【0013】

第2の目的は、上記第1の目的を達成するためにプロセッサ、制御部、共用部を配置する際のより具体的な位置基準を提供することにある。

【 0 0 1 4 】

第 3 の目的は、冗長二重化プロセッサをオンチップマルチ化した場合に適したプロセッサ同士の配置とプロセッサ内部の二重化部の配置とを提供することにある。

【 0 0 1 5 】

第 4 の目的は、マルチプロセッサの代表的な制御部や共用部として、共有キャッシュメモリとその制御部、I/O回路群とその制御部、グローバルクロックの生成部、電源制御部等の配置を提供することにある。

【 0 0 1 6 】

第 5 の目的は、本願発明によるフロアプランに対応して、クロックツリー、電源配線、I/Oピン等の配置を提供することにある。これらのグローバルパターンはチップの基本特性を左右する重要因子であるため、上位設計階層において設計される。

【 0 0 1 7 】

第 6 の目的は、本願発明に基いて設計されたオンチップマルチプロセッサを製造する際の製造工数とコストを削減するための手段を提供することにある。

【 0 0 1 8 】

第 7 の目的は、本願発明のオンチップマルチプロセッサを実装するのに適した配線基板、例えばパッケージ基板やマルチチップモジュール基板を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

最初の本願発明の骨子の諸形態を説明し、次いで本願発明の諸形態を列挙し、その詳細を説明する。

【 0 0 2 0 】

本願発明の主たる形態の第 1 は、独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置されていることを特徴とするオンチップマルチプロセッサである。

## 【 0 0 2 1 】

本願明細書における「対称」とは、当該プロセッサ領域の、少なくともユニットレベルの平面配置が対称であることである。一般に、設計階層は、ユニットレベル、ブロックレベル、回路レベル、トランジスタレベル等の多数の階層が考えられる。勿論、本願発明の対称が成立する階層が、前記各階層のより下位の階層にまで及ぶことが好ましい。しかし、本願発明の初期の目的は、少なくともユニットレベルの平面配置が対称であることで達成される。

## 【 0 0 2 2 】

対称には、いわゆる線対称と点対称（180度回転対称）が考えられるが、いずれの場合も目的を達成することが出来る。更に、特別な形態、例えば4個のプロセッサをオンチップとなす場合、90度の回転対称も使用し得る。更に、前記線対称や点対称の形態を有する平面配置に対して、平行移動を施しても初期の目的を達成することが出来る。これらについての詳細は後述される。この平行移動は前記直線軸に平行な方向、あるいは点対称の場合、対象となる複数プロセッサ領域等の相互に対向する面と平行な方向に平行移動がなされる。90度回転対称の場合も、こうした平行移動が考えられる。この場合も、同様に考えて良い。また、平行移動の範囲は、通例、概ね対象プロセッサのマシンサイクル時間の2割5分程度の範囲でなされる。この平行移動の範囲が小さい方が本来の目的には好ましく、前記マシンサイクル時間の2割以下がより好ましい。しかし、平行移動の手段を用いる事によって、オンチップマルチプロセッサの各種設計の容易性を増大し、又、その設計裕度を大きくすることが出来る。

## 【 0 0 2 3 】

本願発明の主たる形態の第2は、独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一对のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一对のプロセッサに対する制御部が前記直線軸または前記原点を含む領域に配置されていることを特徴とするオンチップマルチプロセッサである。

## 【 0 0 2 4 】

形態の第2は、前記形態の第1に、一对のプロセッサに対する制御部の配置に

関する思想が加えられたものである。制御部が前記直線軸または前記原点を含む領域に配置されることによって、これら相互の遅延時間を略等しくすることが出来る。

## 【 0 0 2 5 】

即ち、言葉を変えれば、本願発明の主たる形態の第 3 は、独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一対のプロセッサに対する制御部が、当該制御部から双方のプロセッサまでの遅延時間が略等しいことを特徴とするオンチップマルチプロセッサである。遅延時間の相違の許容範囲は、そのオンチップマルチプロセッサの設計仕様によって異なる。実用的には、概ねマシンサイクル時間の 2 割 5 分程度以下、より好ましくは 2 割程度以下を多用する。

## 【 0 0 2 6 】

制御部から双方のプロセッサまでの遅延時間が略等しいことは、言葉を変えれば、距離が概ね等価であること意味している。具体的には、例えば制御部内のピン配置等の関係で、第 1 のプロセッサと制御部との距離と第 2 のプロセッサと制御部との距離とが若干の相違を呈することがある。しかし、現実には、現在のオンチップマルチプロセッサでの制御部の占める領域の幅からみて、略等価と見なして十分である。

## 【 0 0 2 7 】

本願発明の主たる形態の第 4 は、独立に動作可能な複数のプロセッサを有し、前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一対のプロセッサに対する制御部が前記直線軸または原点を含む領域に配置され、当該制御部から双方のプロセッサまでの距離が概ね等価であることを特徴とするオンチップマルチプロセッサである。

## 【 0 0 2 8 】

本願発明の主たる形態の第 5 は、独立に動作可能な複数のプロセッサを有し、

前記複数のプロセッサの中の少なくとも一対のプロセッサがチップ平面上の所定の直線軸または所定の原点に対して互いに対称に配置され、前記一対のプロセッサに対する制御部が、当該制御部から双方のプロセッサまでの遅延時間が略等しく、前記一対のプロセッサに前記制御部を介して接続される共用部が前記直線軸または前記原点を含んで配置されていることを特徴とするオンチップマルチプロセッサである。更には、前記共用部が前記直線軸または前記原点に対して概ね対称に配置されていることがより好ましい。問題とする遅延時間の差異を最小限にすることが出来る。尚、ここで、前記共用部とは、具体的には、例えば、具体例としては共有キャッシュ・メモリや I/O 手段等を指している。

## 【 0 0 2 9 】

以上、本願発明の主な形態を列挙説明したが、次いで、前記した目的との関わりを含めて、更に本願発明の諸形態を列挙し、その詳細を説明する。

## 【 0 0 3 0 】

上記第 1 の目的を達成するための手段として、本願発明のオンチップマルチプロセッサは複数のプロセッサをチップ平面上の仮想的な位置基準（直線軸または原点）に対して互いに対称に配置し、プロセッサ間制御部をこの位置基準を含む領域に配置し、さらにプロセッサ間共用部がある場合にはこれを位置基準に対して概ね対称に配置したものである。これにより制御部が置かれる領域はプロセッサ間の概ね中点に位置するため、制御部から各プロセッサまでの距離が均等化且つ短縮される。

## 【 0 0 3 1 】

また、制御部から共用部までの距離の偏差が減り平準化される。なお、レイアウトの対称性は、タイミング設計や半導体プロセスの歩留りに対する要求に応じて、より下位の設計階層に展開される。例えば論理ユニットとキャッシュメモリ、論理ブロックとメモリマット、論理／メモリ回路群、回路セル、トランジスタ、トランジスタの構成要素（MOS トランジスタならばソース、ゲート、ドレイン）の配置に対して対称性の可否を選択することができる。

## 【 0 0 3 2 】

対称変換をトランジスタレベルで実施する場合には、半導体プロセスばらつき



の影響を抑えるための工夫が必要である。トランジスタ構造の点では、例えばMOSトランジスタの1本のゲートの両側にソースとドレインの両方を設けるか、または1本のドレインの両側にゲートとソースを設ける。これは或る意味でトランジスタ構成要素のミクロな対称構造と言える。このミクロ対称構造はゲート長方向に関する位置ずれが生じてもその影響を相殺するので、プロセッサに伴って対称変換したトランジスタ同士の特性を等しく保つことができる。

## 【0033】

上記第2の目的に係る一つの手段はMOSトランジスタ回路でチップを設計した場合の位置基準としてゲート方向をとったものである。そして、チップ上のレイアウトをゲート方向に平行または垂直な直線軸に対して線対称とするか、または仮想的な原点に対する点対称（180度の回転対称）とする。これにより、ゲート方向が平行な向きに揃うので、半導体プロセスばらつきの影響を抑えることができる。

## 【0034】

上記第2の目的に係るもう一つの手段は、論理構造に応じた位置基準としてデータ系論理のデータフロー方向をとり、上記と同じくレイアウトの対称性を定義したものである。これにより、プロセッサ同士のデータが直交することなく互いに平行に流れるので、プロセッサ間制御部とのデータの授受が行ない易くなる。例えば演算処理はデータフローの上流側から下流側に進むため、両方のプロセッサの上流側にキャッシュ制御ユニットやインタフェース制御ユニット等のプロセッサ間制御部を配置すれば、データフローがスムーズになる。なお、データフロー方向が平行であればトランジスタの入出力線方向も揃うので、トランジスタがMOS、BiCMOS、バイポーラ等の何れであるかに拘わらず、トランジスタ特性のばらつきを抑え込むことができる。

## 【0035】

上記第3の目的に係る手段は、複数のプロセッサを第1の直線軸に対して線対称に配置し、プロセッサ間制御部を第1の直線軸を含む領域に配置し、プロセッサ内部の冗長二重化された論理ユニットまたはキャッシュメモリを第2の直線軸に対して線対称に配置したものである。これにより、複数のプロセッサとプロセ

ッサ間制御部との距離を均等化し、且つプロセッサ内部で二重部分と一重部分との距離を均等化するという二つの要求を両立させることができる。

## 【 0 0 3 6 】

上記第 3 の手段を実施した場合において、二重部分の制御を掌る一重部分がプロセッサ領域の一辺の midpoint 近傍に位置しているとすれば、この一重部分とプロセッサ間制御部とを近付けるためには第 1 の直線軸と第 2 の直線軸が直交していることが望ましい。これらの直線軸の方向としてゲート長方向とゲート幅方向を考えると、前者を対称軸にとる方が半導体プロセスばらつきの影響が少ない。一般的にプロセッサ内部のタイミング設計の方がプロセッサ間に比べてより厳しいので、第 2 の直線軸をゲート長方向とする手段が有効である。また、二重部分同士のデータフローは同一方向に流れることが望ましいので（平行でも互い違いに逆流させるとプロセッサ内部の制御が困難になる）、第 2 の直線軸をデータフロー方向とする手段が有効である。

## 【 0 0 3 7 】

上記第 4 の目的に係る手段は、上述の手段にしたがって具体的なマルチプロセッサ間制御部／共用部を配置したものである。マルチプロセッサでキャッシュメモリを共有する場合、プロセッサ、共有キャッシュ、外部記憶等の間のデータ転送や調整を行なうための記憶制御ユニットを上記第 1 の手段で述べた位置基準を含む領域に配置する。記事 2 のバス結合や記事 3 のネットワーク結合に対して高性能化を図るには、各々のプロセッサと記憶制御ユニットとを 1 対 1 で結合するのが良い。各プロセッサが個別に 1 次キャッシュを備えている場合、共有キャッシュは 1 次より下位レベルの 1. 5 次キャッシュや 2 次キャッシュとして働く（例えば 1. 5 次キャッシュは 1 次キャッシュと同時にアクセスされるがレイテンシが 1 次より余分にかかる）。この場合、各プロセッサの内部で 1 次キャッシュ制御ユニットを位置基準側に寄せて配置し、記憶制御ユニットを 1 次キャッシュ制御ユニットの間に挟むように配置するという手段により高性能化を図れる。

## 【 0 0 3 8 】

上記第 4 の手段に係り I/O 回路群を共用する場合、プロセッサとチップ外部との信号伝送や優先権設定を行なうための I/O 制御ユニットを上記と同様に配

置する。I/O回路群の共用によりI/Oピン数が削減される。I/O制御ユニットはインタフェース仕様に応じて1対1伝送、双方向伝送、バス接続、ネットワーク通信等の制御を担う。より望ましい配置手段としては、プロセッサ自身に在るI/O制御ユニットをプロセッサ領域の位置基準側の1辺に寄せて配置し、プロセッサ間I/O制御ユニットをプロセッサ内ユニットの間に配置する方法がある。

## 【0039】

以上の他に上記第4の目的に係る手段としては、上記位置基準を含む領域にグローバルクロック生成回路部（PLL、初段クロックドライバ等）や電源制御回路部（低電力/テストモード制御、基板バイアス制御等）を配置したものである。これにより、前者では複数のプロセッサへ均等にクロックを供給でき、後者では偏りのない電源制御が可能になる。また、第4の手段は、プロセッサ、制御部、共用部のそれぞれに対して独立にクロックや電源を調整、停止するのにも適している。

## 【0040】

上記第5の目的に係る手段は、上述した手段によるプロセッサの対称性にしたがって、クロックツリー、電源配線、I/Oピン等各対象部位毎のグローバルパターンにも対称変換を実施するものである。これにより、クロックツリーに関しては各プロセッサに対して同等のスキューでクロックが分配される。プロセッサに対してプロセッサ間制御部/共用部より優先的にクロックを供給すれば、プロセッサ内部のスキューを低減して高速化を図ることもできる。

## 【0041】

尚、ここで、クロックツリーが直線軸あるいは原点に対して対称であることは、基本的ツリー構成がこの対称性を有しておれば、初期の目的を達成することが出来る。クロックツリーの構成には、グローバルレベルとしては、上層の配線レベル、Hツリーで言えば「H」の初段から数段目、例えば3より4段目までのレベルが考えられる。一方、ローカルレベルとしては、下層の配線レベルを挙げる事が出来る。そして、現実の設計において、当該構成の局所的な領域に対称性の乱れが見られることも当然あるが、本願発明の基本思想は、基本的ツリー構成

にこの対称性を導入することである。又、本願発明においては、少なくともプロセッサ領域の上部のクロックツリーの対称性がわけても重要である。勿論、より下位のレベルにまで対称性を確保することが、本願発明の目的からより好ましいことは言うまでもない。

#### 【 0 0 4 2 】

電源配線に関しては、各プロセッサの電圧ドロップやノイズ等の電源特性が均等になる上、ノイズ検証やタイミング解析等をプロセッサ毎に行なう必要がなくなつて設計工数を省ける。I/Oピンとして特にチップ表面にバンプを設ける場合には、プロセッサ領域表面における電源／グランド用バンプの数と配列がプロセッサの対称性に依つて維持されるので、上記電源配線と同様に電源特性が等しくなる。

#### 【 0 0 4 3 】

上記第 6 の目的に係る手段は、上述した手段によるオンチップマルチプロセッサを半導体プロセスで製造する場合に、所定のプロセッサ領域のマスクパターンをマスターとして、このマスターパターンを対称変換したマスクパターンを他のプロセッサ領域に流用したものである。マスクパターンの生成や修正をプロセッサ毎に行なう必要がなくなる。本手段は特にトランジスタ、要素回路、プロセッサ内部配線を形成するためのマスクパターンに対して適用でき、マスクパターン生成に関わるコストと工数が削減される。

#### 【 0 0 4 4 】

上記第 7 の目的に係る手段は、上述した手段によるオンチップマルチプロセッサをパッケージ基板やマルチチップモジュール基板等を実装する場合に、基板の配線パターンにもプロセッサに対応した対称変換を実施するものである。これにより、上記第 6 の手段で述べたような電源特性の均等性が維持される上、配線パターン生成にかかる設計工数を省くことができる。

#### 【 0 0 4 5 】

#### 【発明の実施の形態】

以下、本願発明の実施例を図面と共に説明する。

## 【0046】

先ず、本願発明の第1実施例として、同一チップ上にデュアルプロセッサを搭載し、高信頼化のために各プロセッサの内部を二重化したオンチップマルチプロセッサについて説明する。図1と図2は第1実施例のオンチップマルチプロセッサのフロアプラン図と機能ブロック構成図を示す。図1中の略称文字（FU、GU等）はレイアウトの対称性を示すために意図的に反転、回転させて表示している。例えば、反転した略称文字の部分は、その幾何学的平面構成が反転して配置されていることを示している。図1に左下に示したXY座標軸の意味については図3、図4に関連して説明する。

## 【0047】

図1及び図2に示した例では、オンチップマルチプロセッサ1は、独立に動作可能な命令プロセッサ（IP：Instruction Processor）10、20と、マルチプロセッサ間の記憶制御やI/Oインタフェース制御を行なう記憶制御ユニット（SU）30と、このSU30を介してプロセッサ間で共有されるグローバルバッファ記憶（GS、1.5次キャッシュ）32、33及びI/O回路群（I/O）34、35と、チップ1内部にクロックを供給するクロック生成回路部（PLL）31から構成されている。このデュアルプロセッサ1は0.13 $\mu$ m世代のいわゆるCMOSプロセスで製造されており、クロック周波数1.2GHzで動作する。約17mm口のチップの中に約250Mトランジスタが集積されており、IP10、20内のバッファ記憶（BS、1次キャッシュ）とGS32、33の容量はそれぞれ256KB $\times$ 2と2MBに及ぶ。I/O34、35はI/O回路セルがストライプ状に配列された回路セルアレイから成り、合計I/O数は約1000ピンである。

## 【0048】

IP10は、命令フェッチ、デコード、アドレス生成、分岐予測を行なう命令ユニット（IU：Instruction Unit）11、12と、バッファ記憶に対して命令語やデータの読出し／書込みと記憶制御を行なうバッファ制御ユニット（BU：Buffer Control Unit）13と、固定小数点演算命令、論理演算命令を実行する汎用演算ユニット（GU：General

Purpose Execution Unit) 14、15と、浮動小数点演算命令を実行する浮動小数点演算ユニット (FU: Floating Point Unit) 16、17と、演算結果のエラー検出と復元処理を行なうリカバリユニット (RU: Recovery Unit) 18から構成されている。このIP10の構成は図2に例示されている。IU11、12、GU14、15、FU16、17は二重化されており、これらの処理結果がRU18により比較チェックされる。IP10と同様に、IP20はIU21、22、BU23、GU24、25、FU26、27、RU28から構成されている。

## 【0049】

次に、図1を参酌しつつ、本願発明の特徴点を第1実施例に即して説明する。命令プロセッサIP10とIP20がチップ平面上の仮想的な直線軸40に対して互いに線対称に配置されている。更に、記憶制御ユニットのSU30が直線軸40を含む領域に配置されている。

## 【0050】

また、命令プロセッサIP10と20の内部にあって同一機能で対を成している命令ユニットIU11と21、命令ユニットIU12と22、バッファ制御ユニットBU13と23、汎用演算ユニットGU14と24、汎用演算ユニットGU15と25、浮動小数点演算ユニットFU16と26、浮動小数点演算ユニットFU17と27、リカバリユニットRU18と28が前記直線軸40に対して互いに線対称に配置されている。

## 【0051】

さらに、BU13とBU23はそれぞれIP10とIP20のレイアウト領域において直線軸40に近い側の1辺に寄せて配置されている。

## 【0052】

これらのレイアウト上の配慮により、記憶制御を担っているSU30とBU13、23とが互いに均等な距離に近接して配置されるので、タイミング設計の点で等価な動作を保証できると共に、ディレイを短縮して高速制御を行なわせることができる。

## 【 0 0 5 3 】

ディレイ上の観点から再度レイアウトを定義すれば、BU 1 3 と 2 3 両者の中心部を源とする等ディレイ線同士が交わる領域にSU 3 0 が配置されていると言うこともできる。

## 【 0 0 5 4 】

チップ上の信号転送ディレイは、集積度や配線物量とのトレードオフに配慮して実用的範囲で考えると、高速な配線系を用いても数 1 0 p s / m m かかる。第 1 実施例のようにマシンサイクルが 1 0 0 0 p s を切る G H z 級プロセッサでは、チップ上の配置と距離がマシンサイクルを左右するため、本願発明によるフロアプランニングが極めて有効なのである。

## 【 0 0 5 5 】

IP 1 0 と 2 0 の共有キャッシュであるGS 3 2、3 3 や、IP 1 0 と 2 0 の共通 I / O 3 4、3 5 は直線軸 4 0 に対して概ね線対称に配置されると共に、直線軸 4 1 に対しても線対称に配置されている。直線軸 4 1 は直線軸 4 0 に直交する直線である。従って、直線軸 4 0 を含む領域に配置されたSU 3 0 からGS 3 2、3 3、I / O 3 4、3 5 までの配線接続が対称的になり、ディレイの偏差が抑えられて平準化されるので、こられの共用部をマルチプロセッサ間で等価的に活用することが可能になる。

## 【 0 0 5 6 】

二重化されたユニットでは、IU 1 1 と 1 2、IU 2 1 と 2 2、GU 1 4 と 1 5、GU 2 4 と 2 5、FU 1 6 と 1 7、FU 2 6 と 2 7 が直線軸 4 1 に対して互いに線対称に配置されている。これにより、二重化ユニットとBU 1 3、2 3、RU 1 8、2 8 の間の距離が均等になり、二重部分と一重部分の間で等価なタイミングでデータ転送を行なわせることができる。

## 【 0 0 5 7 】

なお、第 1 実施例ではIP 1 0 と 2 0 の対称軸 4 0 と二重化ユニットの対称軸 4 1 とを直交させているが、これも発明の一つである。例えば第 1 実施例に従わずに二重化ユニットの対称軸 4 1 と平行な軸でIP 同士を線対称に配置した場合を想定してみよう。この場合、BU 同士の間に 2 個のIU が挟まって間隔が広が

り、これに伴ってBUからSUまでの距離も長くなってしまうので、ディレイが増加する問題が起きる。BUとIUを置換してBU同士を近付けると、IP内部の二重化ユニットとBUとの配置のバランスが崩れるので、二重化ユニットのタイミング設計に悪影響が及ぶ。したがって、IPの対称軸と二重化ユニットの対称軸を平行にすることは得策でなく、第1実施例のように対称軸同士を直交させることが重要である。

## 【0058】

クロック供給源であるPLL31が生成したクロック信号は、直線軸40または41に沿って張られたHツリー、フィッシュボーン、メッシュ等のクロック分配配線とクロックドライバを介してチップ1内部に供給される。PLL31はSU30と同じく直線軸40を含む領域に配置されているので、PLL31からIP10、20までの距離が同じになり、両者に等価なクロックスキューでクロックを供給できる。すなわち、IP10と20でタイミング設計基準を変更する必要はない。PLL31からIP10、20へ優先的にクロック分配配線を行なってスキューを低減すれば、IP10と20の高速化を図ることができる。また、IP10と20に対して独立にクロックを供給して制御するような場合にも等価性の点で本願発明による配置が望ましい。このことは、クロックだけでなく電源制御回路にも当てはまる。

## 【0059】

以上から第1実施例のフロアプランによれば、命令プロセッサIP10、20に対して独立で等価な動作を保証しながら、これらのプロセッサと共有キャッシュGS32、33と共通I/O34、35との間を記憶制御ユニットSU30を介して効率的且つ高速に制御できるという効果がある。また、マルチプロセッサ間制御だけでなく、IP10、20内部の冗長二重化ユニットに対しても等価タイミング動作を保証しており、プロセッサ内/間両者の高性能、高信頼化にとって極めて有効である。なお、これらの第1実施例の効果は、図2に示す機能ブロック構成図をそのまま単純にチップにレイアウトしても得られるものではなく、第1実施例で説明した発明によってはじめて実現し得るのである。



## 【 0 0 6 0 】

図 3 は上記第 1 実施例の論理ユニット内部のブロック配置の一例として、汎用演算ユニット G U 1 4、1 5、2 4、2 5 を拡大した模式的なレイアウトの例を示す図である。汎用演算ユニット内の下位のブロックを模式的に例示している。図 3 に ( a ) ~ ( d ) と示したのは、汎用演算ユニット G U 1 4、1 5、2 4、2 5 の各々拡大したレイアウト図である。図 3 の X Y 座標軸の方向は図 1 の座標軸に対応しており、4 つの G U を X Y 座標の 4 つの象限に振り分けて描いてある。二重化された G U 1 4 と 1 5、2 4 と 2 5 が X 軸 (図 1 の直線軸 4 1) に対称、更に、I P 1 0 と 2 0 に対応する 1 4 と 2 4、1 5 と 2 5 が Y 軸 (図 1 の直線軸 4 0) に対称である。なお、G U 1 4 と 2 5、1 5 と 2 4 は座標原点 (即ち、図 1 の直線軸 4 0 と 4 1 の交点) に対して点対称になっている。

## 【 0 0 6 1 】

図 3 において、G U 1 4 は大別してデータ系論理部 2 0 1、制御系論理部 2 0 3、レジスタ 2 0 5、2 0 6 から構成されており、データ系論理部 2 0 1 はブロック群 2 0 2、制御系論理はブロック群 2 0 4 から成る。ブロック群 2 0 2、2 0 4 はデータ系論理部 2 0 1 のデータフローが図面右から左 ( - X 軸方向) に流れるように配置されている。他の G U 1 5、2 4、2 5 の構成要素も G U 1 4 と同じであるが、直線軸 4 0、4 1 をはさんで同じ機能の構成要素同士が互いに対称に並ぶように配置されている。したがって、G U 1 5、2 4、2 5 のデータフロー方向はそれぞれ - X、X、X 軸方向になっている。

## 【 0 0 6 2 】

データフロー方向をこのようにとると、G U 1 4、1 5 のデータフローの上流側と G U 2 4、2 5 の上流側とが互いに向き合う形になる。第 1 実施例では記憶制御を行なう B U、S U が G U の上流側に配置されているから、これらの間で G U 1 4、1 5 ← B U 1 3 ← S U 3 0 → B U 2 3 → G U 2 4、2 5 というように S U 3 0 を源とするスムーズなデータフローを実現することができる。すなわち、マルチプロセッサ間制御を効率的且つ高速に行なうことが可能になる。また、二重化した G U 1 4 と 1 5、G U 2 4 と 2 5 ではデータフローが同一方向に流れているので、逆流させた場合に比べると、プロセッサ内部の G U と B U 間の制御も効

率的に行なえる効果がある。

#### 【 0 0 6 3 】

図 4 は上記第 1 実施例の論理ブロック内部のトランジスタ回路群の配置の一例として、図 3 を部分的に拡大したレイアウト図である。図 4 中の (a) ~ (d) は図 3 における (a) ~ (d) の汎用演算ユニットに各々対応している。但し、分かりやすくするためにトランジスタ回路を模式化して描いている。図 4 の X Y 座標軸の方向は図 1 と図 3 に対応しており、X 軸が図 1 の直線軸 4 1、Y 軸が図 1 の直線軸 4 0 に平行である。前述の通り、図 4 の 4 つの象限は図 3 の 4 つの象限に対応しており、(a) が G U 1 4、(b) が G U 1 5、(c) が G U 2 4、(d) が G U 2 5 の対称性を引き継いでいる。図 4 中の小矢印はトランジスタ回路への信号入力方向を示している。

#### 【 0 0 6 4 】

図 4 に示したトランジスタ回路群は CMOS 回路セルから成り、ここでは一例としてインバータ、2 入力 NAND、2 - 1 入力 AOI を配列した場合を示している。各回路セルは p MOS トランジスタ 2 2 2、n MOS トランジスタ 2 2 3、ゲート 2 2 4、電源配線 2 2 0、2 2 1、セル内配線 2 2 5、信号配線 2 2 6 から構成されている。トランジスタ 2 2 2、2 2 3 において、電源配線 2 2 0、2 2 1 に接続された部分がソース、各回路セルの出力に接続された部分がドレインである。これらの回路構成要素は、ゲート長方向が X 軸すなわち二重化ユニットの対称軸 4 1 に平行、ゲート幅方向が Y 軸すなわち I P 1 0 と 2 0 の対称軸 4 0 に平行になるように配置されている。

#### 【 0 0 6 5 】

このような配置を選択した理由は、第 1 実施例では命令プロセッサ I P 内部のタイミング設計の方が命令プロセッサ I P 間より厳しかったからである。半導体プロセスにおける製造ばらつきによるトランジスタ特性の変動は、p / n ウェルに対するゲート位置がゲート長方向にずれた場合の方がゲート幅方向にずれた場合に比べて大きい。そこで、図 4 に示すようにトランジスタを配置することにより、同じ I P 内部で二重化された回路群 ((a) と (b)、(c) と (d)) の特性ばらつきを抑え込んでいる。すなわち、チップフロアプランにおける対称軸

とゲート長／幅方向との関係を適切に選択することによって、プロセッサを高速化できる効果がある。

## 【 0 0 6 6 】

第 1 実施例ではさらにゲート露光／描画プロセスのばらつきも考慮して、レイアウトの対称性を、ゲート長／幅方向の何れかに平行な直線軸に対する線対称か、(a) と (d) または (b) と (d) の関係のような点対称 (180-回転対称) に制限している。

## 【 0 0 6 7 】

これら以外の対称性、例えば 45-傾いた軸に対する線対称、90-の回転対称、平行移動と線対称の合成写像等も本願発明に係る選択肢として考え得るが、これらはオンチップに搭載するプロセッサ数や要求性能と、半導体プロセス技術の進展に応じたトランジスタ特性、集積度、歩留りを総合的に勘案して選択されるべきである。

## 【 0 0 6 8 】

なお、図 4 にしたがってトランジスタ回路を配置した場合の信号伝播方向 (図中の小矢印) は、図 3 で説明したデータフロー方向に一致している。これはすなわちマルチプロセッサ間制御の高効率化 (図 3 の効果) と半導体プロセスばらつきの抑制によるプロセッサ内部の高速化 (図 4 の効果) とを矛盾無く両立できることを意味している。

## 【 0 0 6 9 】

図 5 は本願発明の第 2 実施例の MOS トランジスタの模式的レイアウト図である。本願発明による対称変換を MOS トランジスタ回路レベルで実施した場合に半導体プロセスばらつきの影響を抑制するための手段として、図 4 では回路配列方向に適した対称変換の位置/方向基準について説明した。一方、図 5 に示す第 2 実施例では MOS トランジスタの内部構成要素の対称性について説明する。図 5 の XY 座標軸と (a) ~ (d) の 4 つの象限は図 4 に対応している。そして、その (a) に対して (b) が X 軸対称、(c) が Y 軸対称、(d) が点対称である。(a) と (b) または (c) と (d) の組が同一プロセッサ内の二重化部分に相当する。

## 【0070】

図5の(a)～(d)にそれぞれ3タイプのMOSトランジスタを示している。Nタイプは通常一般のトランジスタであり、XタイプとSタイプが本願発明によるものである。図5の(a)で説明すると、Nタイプはソース(S)240とゲート(G)241とドレイン(D)242から構成されている。Xタイプではゲート245の左側にソース243とドレイン247、右側にドレイン246とソース244がクロスするように配置され、トランジスタ内部で点対称構造を成している。Sタイプではドレイン252がゲート250、251とソース248、249によってサンドイッチのように挟まれ、ドレインに対するミラー対称構造を成している。

## 【0071】

図5の(a)～(d)でゲートを二重に描いたのは、プロセスばらつきによってウェル(ドレイン、ソース)に対してゲート位置が相対的に(図中で右下に)ずれた場合を表している。図5の(a)においてNタイプではソース240の幅が広がり、ドレイン242の幅が狭まっている。図5の(b)は(a)と同様に変動するので、(a)と(b)のトランジスタ特性は等しい。しかし、(c)と(d)は、(a)や(b)と逆にドレインが広がってソースが狭まるため、その特性が異なってしまう。

## 【0072】

Xタイプでは二対のソースとドレインをクロスさせて持っているため、片側のソースとドレインの幅が広がればもう片側のドレインとソースの幅が必ず狭まることになる。この変動の仕方は図5の(a)～(d)の対称変換に対して同様に起こるので、(a)～(d)の特性も等しくなる。Sタイプでは図5の(a)～(d)でゲートに挟まれたドレインの幅が一定であり、2つのソースに対する変動の仕方が同じなので、(a)～(d)の特性も均等である。

## 【0073】

以上から、第2実施例に示すXタイプとSタイプは、本願発明の対称変換に対してトランジスタ特性を均一化させるのに効果がある。Nタイプに比べてXタイプは構造が若干複雑であり、Sタイプは面積が広がる等の短所があるが、特にプ

ロセッサ間で特性を合わせたい箇所、例えばクロックドライバ、フリップフロップ／ラッチ回路やRAMのクロック入力部、RAMのセンスアンプ等に選択的に導入することが有用である。

#### 【0074】

図6A～図6Cはそれぞれ本願発明の第3実施例のクロックツリー、電源配線、I/Oピンの概略レイアウト図である。マルチプロセッサとその制御部の対称性に基づいてこれらのグローバルパターンにも対称変換を行なった場合について、ここでは第1実施例のオンチップマルチプロセッサを例にとって説明する。

#### 【0075】

図6Aのクロック分配ツリーは、IP10と20にクロックを分配するHツリー300と、GS32、33及びI/O34、35への変形ツリー301、SU30への変形ツリー302から構成されている。チップ全体に一樣なツリー形式でクロックを分配するのではなく、PLL31からIP10、20へ優先的に短距離で配線することによって、IP10と20内部のクロックスキューを低減している。

#### 【0076】

Hツリー300はIP10と20の対称変換の基準である直線軸40に対して線対称に配置されており、さらにHツリー300のパターンはIP内部の二重化部分の対称軸41に対しても線対称である。したがって、IP10と20両者と二重化部分に対して均一なスキューでクロックを供給することができ、個別にタイミング設計を行なう手間を省くことができる。

#### 【0077】

ツリー301は、IP10と20の共有GS32、33、共通I/O34、35の対称性に従って直線軸40、41に対して線対称である。図中で上下に分かれているが、Hツリーまたはフィッシュボーン形式の変形と見ることもできる。ツリー302は、両側のHツリー300の枝から派生させたツリーをSU31の上空でつないで形成されている。第3実施例ではIP内部へのクロック供給を優先させたため、Hツリー300とツリー301、302のクロックの位相が異なっているが、この位相差はプロセッサ間制御部／共用部のタイミング設計に積極

的に活用できる。

#### 【0078】

図6Bには多層配線の上層部の電源配線パターンを示しており、X軸方向の配線310とY軸方向の配線311でメッシュを構成している。IP10、20、SU31上空のメッシュパターンと、GS32、33、I/O34、35上空のメッシュパターンとは、DCドロップや切替ノイズに配慮して使い分けている。前者はIPの対称性に倣って線対称であるから、IP両者に均等な電源特性を保証できる上、電源設計をIP、SU共通で行なうことで設計工数を減らせる。後者はRAM、I/O等特定回路用の電源設計基準に合わせている。

#### 【0079】

図6CはI/Oピンであるバンプの配列を示している。多数のI/Oピンを取り出すために周辺I/O方式でなくバンプアレイ方式を採用している。図中の白丸320がI/O34、35に接続される信号用バンプ、黒丸321が図6Bに示した電源配線に接続される電源/グランド用バンプである。IP10、20、SU31の上空と、GS32、33の上空と、I/O34、35の上空とで消費電力を考慮してバンプ配列を変えている。信号バンプが有る部分の信号/電源ピン数比は1であるが、無い部分(BU13、23、RU18、28等IP内の二重化されていない部分、PLL31、I/O34、35等の上空)では電源を強化している。IP10、20、SU31上空のバンプ配列は電源配線と同様に線対称であり、IP両者へ均等に給電することができる。

#### 【0080】

以上から、第3実施例によれば、本願発明によるプロセッサやその制御部/共用部の対称性に適したクロック分配と電源供給を行なうことができ、しかも複数のプロセッサに対して共通設計を行なえるので工数を削減できる効果がある。

#### 【0081】

ここまで本願発明について第1実施例を基に、第2、3実施例を合わせて説明してきたが、第4実施例では2つのRISCマイクロプロセッサを同一チップ上に集積したオンチップマルチプロセッサについて説明する。図7にそのフロアプラン図を示す。図7左下のXY軸は、第1実施例と同じくX軸がゲート長方向、

Y軸がゲート幅方向を表している。

#### 【0082】

図7においてオンチップマルチプロセッサ50は、プロセッサユニット(PU)60、例えばRISCプロセッサユニット、70と、PU60と70間の記憶制御や外部バスとのインタフェース制御を行なうバスインタフェースユニット(BIU)80と、BIU80によりPU間で共有される2次キャッシュ85、86と、同じく共用される内部ストライプI/O回路列(I/O)82~84と、クロック生成回路(PLL)81から構成されている。このプロセッサ50は第1実施例と同じく0.13 $\mu$ m世代CMOSプロセスで製造されており、概略仕様は内部動作周波数1.25GHz、チップサイズ約14mm $\square$ 、集積度約150Mトランジスタ、1次キャッシュ128KB $\times$ 2、2次キャッシュ1MB、I/O約500ピンである。内部クロックはPLL81からPU60、70、SU80、2次キャッシュ85、86に均等に分配されるが、I/O周波数は外部バス仕様に合わせて選択的に分周される。

#### 【0083】

プロセッサユニットPU10は、主に命令並列ディスパッチ、フェッチ、分岐予測等を行なう命令ユニット(IU)61と、演算命令を並列実行する固定小数点演算ユニット(FXU)62と、単精度/倍精度演算を行なう浮動小数点演算ユニット(FPU)63と、命令語とデータが格納された1次キャッシュ65へのアクセスやメモリマネージメントを行なうロード/ストアユニット(LSU)64から構成されている。PU20もPU10と同様にIU71、FXU72、FPU73、LSU74、1次キャッシュ75から構成されている。

#### 【0084】

第4実施例ではプロセッサユニットPU60と70が仮想的な直線軸90に対して互いに線対称に配置されており、PU60と70に共有される2次キャッシュ85、86とI/O82~84も同様に線対称に配置されている。これらの共有部を制御するBIU80は直線軸90を含む領域に配置されており、LSU64と74がそれぞれPU60と70の内部領域において直線軸90側すなわちBIU80側の1辺に近付けて配置されている。したがって、第4実施例ではBI

U 8 0 と L S U 6 4、7 4 とが互いに均等な距離で近接して配置され、2 次キャッシュ 8 5、8 6 と I / O 8 2 ~ 8 4 が B I U 8 0 から見てバランス良く配置されるので、P U 間に優劣なく高速なプロセッサ間制御を行なわせることが可能になる。

#### 【0 0 8 5】

なお、第 4 実施例では第 1 実施例のような P U 内部の二重化を行っていないので、二重化部分とプロセッサ間の対称変換の優先度について考慮する必要がない。そこで、P U 6 0 と 7 0 の対称軸 9 0 を有利なゲート長方向にとることにより、半導体プロセスばらつきによる P U 間の特性変動を抑制している。これはすなわち高速化と歩留りの向上双方に寄与している。

#### 【0 0 8 6】

以上から、R I S C プロセッサをオンチップマルチ化した第 4 実施例においても本願発明は有効であり、プロセッサアーキテクチャや論理ユニット構成によらず、普遍的にマルチプロセッサ性能の向上に効果があることが分かる。

#### 【0 0 8 7】

次に、本願発明による第 5 実施例として、半導体プロセス技術が進んでチップ集積度がさらに向上しプロセッサ数が増加した場合について説明する。図 8 は第 5 実施例のフロアプラン図を示す。

#### 【0 0 8 8】

図 8 においてオンチップマルチプロセッサ 1 0 0 は、8 個のプロセッサユニット (P U) 1 0 1 ~ 1 0 8 と、記憶制御ユニット (S C) 1 1 1 ~ 1 1 2、ワーク記憶 (W S、2 次キャッシュ) 1 1 4 ~ 1 1 7、内部ストライプ I / O (I / O) 1 2 0 ~ 1 2 3、クロック生成回路 (P L L) 1 1 3 から構成されている。S C 1 1 1 ~ 1 1 2 はバンク分割された W S 1 1 4 ~ 1 1 7 の共有記憶制御と I / O インタフェース制御を行なっている。本第 5 実施例は、第 1 実施例や第 3 実施例よりさらに進んだサブ 0. 1  $\mu$  m 世代 C M O S 技術で試作されている。チップサイズ約 2 3 m m 口の中に P U 1 0 1 ~ 1 0 8 それぞれの集積度として論理約 8 M トランジスタと 1 次キャッシュ 1 2 8 K B、W S 1 1 4 ~ 1 1 7 の合計容量で 8 M B、I / O 約 1 8 0 0 ピンを集積しており、クロック周波数 1. 5 G H z



で動作する。PLL 1 1 3 は SC 1 1 0 の図中左下に配置されているが、ここから直線軸 1 3 0 と 1 3 1 の交点にあるクロックドライバを経て、チップ 1 0 0 内部に分配されている。

#### 【0 0 8 9】

図 8 から明らかなようにプロセッサユニット PU 1 0 1 ~ 1 0 8 は直線軸 1 3 0、1 3 1 に対して互いに線対称に配置されている（それぞれの対称性を示すために三角形のマーカを表示している）。例えば PU 1 0 1 に対して、PU 1 0 4 は軸 1 3 0 に関する線対称、PU 1 0 5 は軸 1 3 1 に関する線対称、PU 1 0 8 は軸 1 3 0 と軸 1 3 1 の交点に関する点対称（1 8 0-回転対称、軸 1 3 0 と 1 3 1 の 2 回線対称変換）になっている。

#### 【0 0 9 0】

プロセッサユニット PU 1 0 1 の内部では記憶制御ユニット SC 1 1 0 ~ 1 1 2 との間で信号転送を行なう制御部が図中下辺側（SC 側）に配置されており、本願発明による対称的レイアウトによって他の PU 1 0 2 ~ 1 0 8 の制御部も SC 側に向いて配置される。本願発明によらず無作為に配置した場合に比べて、第 5 実施例では各 PU 内部の制御部と SC 1 1 1 ~ 1 1 2 とを近接して配置することができる。また、ワーク記憶 WS 1 1 4 ~ 1 1 7 や I/O 1 2 0 ~ 1 2 3 も SC 1 1 1 ~ 1 1 2 に対して遠近の偏りを抑えて配置されている。

#### 【0 0 9 1】

したがって、第 1 から第 4 実施例で繰り返し説明してきたことと同じく、本願発明はオンチッププロセッサ数が増加した第 5 実施例においてもマルチプロセッサ間制御の高効率化にとって大いに効果がある。

#### 【0 0 9 2】

さらに半導体プロセス技術が進んでプロセッサ数が増えた場合においても、一对のプロセッサを単位として対称変換を施してゆけば、本願発明を適用できることは言うまでもない。また、第 5 実施例ではチップ 1 0 0 の上下 2 辺に PU 1 0 1 ~ 1 0 8 を配置しているが、マルチプロセッサの結合方式に応じて、例えば縞模様、ジグザク、チェック、マトリックス、クロス、同心形等のように、最適な配置を選択することが可能である。

## 【 0 0 9 3 】

図 8 左下の X 軸はゲート長方向、Y 軸はゲート幅方向を表している。第 5 実施例では直線軸 1 3 0 をゲート長方向にとっているが、これは近接して並んだ P U 同士（1 0 1 ～ 1 0 4 の組、1 0 5 ～ 1 0 8 の組）の特性が優先的に揃うように配慮したからである。幾つかのプロセッサでクラスタを構成する場合、全プロセッサに等価な動作を行なわせるのではなく重み付けする場合等には、優先度に応じて軸方向を合わせることが可能である。

## 【 0 0 9 4 】

図 9 では本願発明の第 6 実施例として、ここまでの実施例で説明してきたようなハイエンドカスタム L S I でなく、低コストのシステム L S I に本願発明を適用した場合について説明する。そして、この例は、他の例と異なって、チップ全体が対称性を有して構成されてはいない例である。しかし、C P U コア（P U）1 5 1 と P U 1 5 2 が直線軸 1 6 7 を軸とする線対称を有している。更に、S R A M 1 5 3 と 1 5 4 も直線軸 1 6 7 を軸とする線対称を有している。この形態によっても、本願発明の目的を十分奏することが出来る。

## 【 0 0 9 5 】

図 9 のフロアプラン図において、オンチップマルチプロセッサ 1 5 0 は、2 個の C P U コア（P U）1 5 1、1 5 2 と、P U 1 5 1、1 5 2 にそれぞれ専属する S R A M 1 5 3、1 5 4 と、内部バスインタフェース制御を兼ねるメモリマネジメントユニット（M M U）1 6 0 と、P U 1 5 1 と 1 5 2 の共有主記憶として働く D R A M 1 6 4 と、他のオンチップマルチプロセッサとのネットワーク結合の制御を行なうノード制御ユニット（N C）1 6 2 と、ディスクやチャネル等の入出力装置とのインタフェース制御を行なう I O 制御ユニット（I O）1 6 3 と、P U / N C / I O 間を接続する内部バス 1 6 5 と、クロック生成回路（P L L）1 6 1 と、N C 1 6 2 及び I O 1 6 3 とチップ外部との入出力を行なうための周辺 I / O 回路列 1 6 6 から構成されている。第 6 実施例はチップ 1 5 0 内の P U 1 5 1 と 1 5 2 で共有記憶システムを構成し、他チップとの間でネットワーク結合によって分散記憶システムを構成している。

## 【0096】

第6実施例は、システムLSI部品であるIP (Intellectual Property) を活用してPU151、152、SRAMマクロ153、154、DRAMマクロ164、I/Oマクロ166等をチップ上にインプリメントしたものである。但し、本願発明に基づいて、提供されたCPUコアとSRAMマクロのIPをミラー反転して配置している。これによりPU151と152及びSRAMマクロ153と154を直線軸167に対して線対称に配置し、MMU160を直線軸167上の領域に設けている。直線軸167がチップ150の等分線に対してオフセットしている理由は、比較的大きなIPであるDRAMマクロ164の配置と、NC162やIO163からI/O166への配線性を考慮したからである。このオフセットは本願発明の障害にならず、PUとMMU間を等距離で近接させるという効果は遺憾なく発揮される。したがって、システムLSIにおいても本願発明によりIPのレイアウトを対称変換することで、低コスト化とプロセッサ間制御の高性能化という2つの課題を解決することが可能になる。

## 【0097】

図10は本願発明の第7実施例のフロアプラン図を示す。第6実施例までは主に線対称または点对称のレイアウトを見てきたが、ここでは別の対称変換を実施した場合について言及する。

## 【0098】

図10においてオンチップマルチプロセッサ170は、4個のプロセッサユニット(PU)171~174と、記憶制御ユニット(SCU)175と、2次キャッシュ176~179、ROM180、ストライプI/O181~184から構成されている。PU171はプロセッサコア194と、PU171専用の1次キャッシュ193と、バスインタフェース制御ユニット195から構成されており、他のPU172~174の構成も同じである。各PUにあるバスインタフェース制御ユニットは、図中矢印185~188で示すPU間リングバス接続と、矢印189~192で示すPUとSCU間の相互接続を制御している。SCU175は、PU171~174と共有2次キャッシュ176~179及び共通I/O

〇 1 8 1 ~ 1 8 4 の間の記憶制御と I / O インタフェース制御を行なっている。

【 0 0 9 9 】

第 7 実施例では、プロセッサユニット P U 間で分散処理を行わせて記憶制御ユニット S C U 1 7 5 への配線集中を軽減し、チップ 1 7 0 の配線層数を抑える目的で上記のような相互接続方式を採用している。図 1 0 から明らかなように、P U 1 7 1 ~ 1 7 4 は互いにチップ中心の仮想的原点 1 9 3 に対して 9 0 - の回転対称に配置されており、S C U 1 7 5 はその原点 1 9 3 を含む領域に配置されている。言わば風車型の配置により、S C U 1 7 5 から 4 つの P U 1 7 1 ~ 1 7 4 及び 2 次キャッシュ 1 7 6 ~ 1 7 9 までの距離が全て等しくなる上、リングバス上で隣接する P U までの中継距離も等しくなるので、これらのタイミング設計を共通化し、最適な配線系を選択することができる。また、1 個の P U に対する配線パターンを他の 3 個の P U に流用できるので、配線設計の工数も削減することができる。したがって、第 7 実施例によれば、チップの配線層数すなわち製造コストを抑え、設計工数を省き、且つプロセッサ間の効率的な制御を実現できる効果がある。

【 0 1 0 0 】

なお、ここまでで線対称、点対称（1 8 0 度の回転対称）、9 0 度の回転対称のレイアウトについて説明してきたが、第 7 実施例からも分かるように本願発明の効果が対称変換の方法によって減ぜられることはない。例えば上記以外の角度の回転対称や、幾つかの対称変換、平行移動との組合せ等が有り得るが、本願発明の要件を満たせばその効果を享受することができる。

【 0 1 0 1 】

図 1 1 に示す第 8 実施例は、本願発明によるオンチップマルチプロセッサを実装したマルチチップモジュール基板の概略レイアウト図である。ここでは第 1 実施例のチップを実装した場合を例にとって説明する。

【 0 1 0 2 】

図 1 1 のモジュール配線基板 3 5 0 は薄膜／厚膜セラミック複合多層配線基板から成る。この基板 3 5 0 には 1 2 個のデュアルプロセッサチップ（D P、チップ 1 に同じ）3 5 1 と、2 個の記憶制御用チップ（S C）3 5 2 と、1 2 個のワ

ーク記憶チップ（WS、2次キャッシュ）353がフリップチップ実装されている。多層配線によってDP、WS、SCが相互に接続されており、これで24ウェイのマルチプロセッサシステムが構成されている。SC352は、主に、プロセッサチップ351とWS353間やWS353と主記憶（図示せず）間のデータ転送、アクセス競合の調整、チップ351内のBS、GSとの記憶内容の同期化等の記憶制御を行なう。

#### 【0103】

第8実施例のマルチプロセッサシステムは、図中の線354を境に左右2つのクラスタに大別される。左右のチップ配列と基板350の配線パターンは基本的に点対称（180度の回転対称）になっている。DP、SC、WS個々のチップ配置方向は、各チップのI/Oピン（バンプ）の配置、他チップとの相対的な配置と配線距離、基板350上の配線混雑度等を考慮して90-乃至180-回転されている。各チップに対するI/O引出し配線や電源配線のパターンは、所定の配線層においてチップ種毎に共通化されている。また、DP直下の電源配線パターンは、本願発明によるDP内部のプロセッサの対称性すなわち図6で述べたDPチップ内の電源構造やバンプ配列の対称性を反映しているため、これも共通化されている。

#### 【0104】

したがって、第8実施例によれば、チップから基板全体まで各配線階層に応じて設計の共通化を実施できるので、設計コストを削減できる効果がある。さらに、チップ内の複数のプロセッサに対しても、このチップのモジュール上の実装位置に対しても、これらに依らない等価な動作を保証できるので、システム全体として高い信頼性を獲得することができる。

#### 【0105】

以上図面を交えて実施例を説明してきたように、本願発明の第1の手段によってチップ上の複数のプロセッサとプロセッサ間制御部と共用部とを対称的にレイアウトすれば、プロセッサと制御部間のディレイを均等に短縮し、制御部と共用部間のディレイの偏差を抑えることができる。したがって、プロセッサ間の効率的制御を実現できるので、従来技術に比べてマルチプロセッサ性能が格段に向上

する効果がある。また、第 1 の手段は、要求性能と半導体製造技術や L S I 実装技術から来る制約条件に応じて、ユニットからブロック、回路群、回路セル、トランジスタまでの各設計階層に展開できるので、設計技術としても適用範囲が広いという利点がある。

## 【 0 1 0 6 】

トランジスタレベルにまで対称変換を行なう場合、M O S トランジスタにマイクロ対称構造を導入しておけば、半導体プロセスばらつきによる特性変動をトランジスタ内部で相殺することができるので、トランジスタ特性の均一化と歩留り向上に有効である。特に、特性変動を嫌うクロック系回路、R A M センスアンプ等のアナログ回路に適している。

## 【 0 1 0 7 】

本願発明の第 2 の手段により M O S トランジスタのゲート方向を位置基準として線対称または点对称なレイアウトを採用すれば、チップ内のゲートを所定の方に平行に揃えることができるので、半導体プロセスばらつきがトランジスタ特性に与える影響を回避できる効果がある。また、第 2 の手段においてデータ系論理のデータフロー方向を位置基準にとれば、プロセッサ間制御部から複数のプロセッサへのデータフローが迂回や遅滞を起こさずに平行に流れるようになるので、マルチプロセッサ性能をさらに向上させることができる。

## 【 0 1 0 8 】

信頼性の高い冗長二重化プロセッサをオンチップマルチ化する場合、本願発明の第 3 の手段によってプロセッサ相互だけでなくプロセッサ内部の二重化部分も線対称に配置すれば、非対称な場合に比べて二重化部分のディレイを均等に且つ短縮できるので、ユニプロセッサ性能が向上する効果がある。また、プロセッサ間の対称軸と二重化部分の対称軸を直交させることにより、プロセッサ間距離と二重部間距離の双方を短縮したレイアウトが可能になるので、マルチプロセッサ性能とユニプロセッサ性能の間のトレードオフを起こさずに両者共高性能化できる効果がある。

## 【 0 1 0 9 】

代表的なプロセッサ間制御部や共用部のレイアウトを定めた第 4 の手段によれ

ば、マルチプロセッサの配置に対して、記憶制御ユニットと共有キャッシュ、I/Oインタフェース制御ユニットとI/O回路群、グローバルクロック生成回路部、電源制御回路部等の配置が最適化される。これには、ディレイ、クロックスキュー、電源等の基本特性に対するプロセッサ間ばらつきを低減できる効果がある。さらに、プロセッサ内部にある1次キャッシュ制御部や入出力制御部の配置についても最適化を行なうことによって、より一層の高速化を実現できる。

## 【0 1 1 0】

第5の手段では、プロセッサの対称性に倣ってクロックツリー、電源配線、I/Oピン等のグローバルパターンにも対称変換を実施することにより、クロックスキューや電源特性の均一化を図れる上、タイミング設計やノイズ解析等の設計工数を省力化できる効果がある。

## 【0 1 1 1】

第6の手段では、複数のプロセッサ領域に対応する半導体プロセス用マスクパターンを対称変換によって生成することにより、マスクパターン生成にかかる工数を削減できる効果がある。

## 【0 1 1 2】

第7の手段では、パッケージ基板やマルチチップモジュール基板等の配線パターンにも対称変換を適用することにより、実装時において各々のプロセッサに対して等価な動作を保証できる上、配線パターン生成にかかる設計工数を省けるといふ効果がある。

## 【0 1 1 3】

以上まとめて総括すれば、本願発明に基づくオンチップマルチプロセッサは、マルチプロセッサ性能とユニプロセッサ性能の双方を総合的に向上させ、トランジスタからチップ、パッケージ、モジュールに至るまでの基本特性を安定化し、設計及び製造に関わるコストを削減できるという多大な効果を奏する。

## 【0 1 1 4】

なお、本願発明の効果はプロセッサ、制御部、共用部等のレイアウトの対称性において普遍的に発揮されるものであって、メインフレーム/CISC/RISC等のプロセッサアーキテクチャ、ユニット/ブロック等の論理分割、データ系

／制御系等の論理構造、論理／メモリ回路形式、スタティックCMOS／ダイナミックCMOS／BiCMOS／バイポーラ等の論理／メモリ回路形式、半導体プロセス、論理／回路設計ツール等々の要素技術によって制限を受けるものではない。

【0 1 1 5】

以上、詳細に説明してきた本願発明の諸形態を表 1、表 2 および表 3 に取りまとめる。



【0 1 1 6】

【表 1】

表 1

<div> <div>对称 变换例</div> <div>構成例</div> </div>	線対称	
		& 平行移動
H 型		
Π 型		
Z 型		
U 型		
○ 型		

【0 1 1 7】

【表 2】

表2

对称 变换例 構成例	点对称(180° 回轉对称)	
		& 平行移動
H 型		
Π 型		
Z 型		
U 型		
○ 型		

【0 1 1 8】

【表 3】

表3

<div> <div>対称 変換例</div> <div>構成例</div> </div>	90° 回転対称	
		& 平行移動
H型		
Π型		
Z型		
U型		
○型		

## 【0 1 1 9】

表 1 はプロセッサ等の対象ブロック領域が線対称、表 2 は点対称（1 8 0 度の回転対称）および表 3 は 9 0 度の回転対称の諸事例を示している。枠体の領域が前記プロセッサ等の対象ブロック領域を示し、各枠体の角には丸と三角形の記号によって、それら相互の対称関係が理解出来るように示している。各表中、一点鎖線は所定の仮想的な直線軸、×印は回転対称の所定の仮想的な原点を示す。各表中、斜線部は制御部等を示す。

## 【0 1 2 0】

更に、各々の対称の関係には、プロセッサ等の各ブロック領域を平行移動した形態をも示している。これらの諸形態もその効用が認められる。各表には「&平行移動」の欄として示した。平行移動は、線対称では所定の仮想的な直線軸に平行な方向、点対称、9 0 度の回転対称では各ブロックの対向する辺に平行な方向が好ましい。

## 【0 1 2 1】

オンチッププロセッサの各構成領域の平面構成の形態は、各種のものがある。これらを、各表では、H型、Π型、Z型、U型、及びO型と表示して示した。

## 【0 1 2 2】

9 0 度の回転対称の形態は、プロセッサが 2 個のオンチップマルチプロセッサでは通例採用する形態ではないが、プロセッサが 4 個の場合に有用な形態である。この実例は図 1 0 を持って具体的に示した通りである。

## 【0 1 2 3】

表 1、表 2、および表 3 に見られるように、本願発明は様々な形態に適用可能であり、回転角度やトランジスタの方向に対しても表に示された以外のバリエーションを取りうる。また、偶数や奇数を問わず多数のプロセッサに対称変換を全体的または部分的に実施する場合や、プロセッサ内部領域を分割して分割領域毎に対称変換を実施する場合、対称変換を行うプロセッサや分割領域毎に位置基準を変換する場合にも適宜応用することが出来る。

## 【0 1 2 4】

尚、本願明細書には、プロセッサが 2 個ないし 4 個の例が例示されているが、

奇数個を搭載する場合にも、本願発明が適用可能なことは言うまでもない。例えば、3個のプロセッサを用いる場合を考える。第1の形態例は、3個のプロセッサ（A、B、C）の内の2個毎（例えば、AとB、およびAとC）の相互に本願発明の対称性を有させることである。第2の形態例は2個のプロセッサのみ（例えば、AとB）に本願発明の対称性を有させることである。残るプロセッサはそのまま搭載すれば良い。こうした形態は図9を持って示したチップの部分的領域に本願発明を適用した例と基本思想は同様である。プロセッサ自体の使い方としては、前記1個のプロセッサはその他とは別の目的に用いたり、あるいは予備として搭載する場合等もある。

## 【0 1 2 5】

最後に、本願諸発明と上記した従来技術との若干の比較を行なおう。

## 【0 1 2 6】

上記従来技術の記事1は制御部（データ交換回路）によるI/Oピン数の削減を目的としており、プロセッサと制御部間の高速化は慮外である。機能ブロック構成図にはプロセッサをチップ上へどのようにレイアウトするかという具体的手段には触れていない。機能ブロック構成図をそのままチップにインプリメントしても、実際にはプロセッサから制御部への入出力位置に局所性があるため、プロセッサと制御部間の距離すなわちディレイにばらつきが出てしまう。

## 【0 1 2 7】

前記記事2では複数のプロセッサと複数のメモリセル領域とが単一バスに接続されているため、それぞれに個別にバスインタフェース制御部を設けてやる必要がある。本例のマルチプロセッサ性能はバスのスループットに依存するが、バスバンド幅を拡大すると制御部面積のオーバーヘッドが大きくなり、チップ資源の有効活用という点で得策でない。フロアプランに関しては全てのプロセッサやメモリ領域が同じ向きに単純に並べられており、プロセッサ内部の論理構成やメモリ領域の入出力位置に対する配慮がない。このように、記事2の技術は本願発明が目指すような高性能マルチプロセッサに向いていない。

## 【0 1 2 8】

前記記事3では2個のプロセッサチップがネットワーク結合されて分散記憶シ

システムを構成しており、2個のチップのI/Oピンは共通外部バスに接続されている。このため、各プロセッサチップ毎に分散メモリ、ネットワークインターフェース制御部、外部バスインタフェース制御部を設ける必要がある。従って、記事3の技術をオンチップ化してもチップ資源の点で無駄が多い。また、2個のチップのレイアウトをそのまま1個のチップに移植しても、レイアウトがチップの両側に完全に分離してしまうため、マルチプロセッサ間の効率的制御を行なえない。

## 【0129】

前記記事4のシングルプロセッサでは、二重化したIU、FXU、FPUをチップの二等分線に対してミラー対称に配置し、二重化していないBCEとRUを二等分線上に配置している。これにより二重部分と一重部分との距離とディレイを均等化し、効率的制御を行なっている。しかし、記事4は元来シングルプロセッサとして提供された技術であって、オンチップマルチプロセッサにおけるプロセッサ、制御部、共用部等のレイアウトに対する示唆を与えてくれない。例えば記事4の技術をマルチプロセッサ化するとしても、プロセッサのパターンは単純な平行移動、線対称、点対称、回転対称、これらの合成写像等の何れなのか、プロセッサをチップの四辺のどの方向に並べるのか、並んだプロセッサに対して制御部や共用部をどこに置くのかについて何も開示されていない。したがって、オンチップマルチプロセッサ技術として新たな発想が必要なのである。

## 【0130】

## 【発明の効果】

本願発明は、複数のプロセッサに対して独立で等価な動作を保証しながらマルチプロセッサ間を効率的に制御することが出来る。本願発明によれば、プロセッサとその制御部との間のデータ転送や調停制御等の処理を、各プロセッサに対してバランス良く高速化することが出来る。

## 【0131】

下記に各具体的手段の各々の効果について略述する。

## 【0132】

本願発明の第1の手段によってチップ上の複数のプロセッサとプロセッサ間制

御部と共用部とを対称的にレイアウトすれば、プロセッサと制御部間のディレイを均等に短縮し、制御部と共用部間のディレイの偏差を抑えることができる。

## 【0 1 3 3】

トランジスタレベルにまで対称変換を行なう場合、MOSトランジスタにマイクロ対称構造を導入しておけば、半導体プロセスばらつきによる特性変動をトランジスタ内部で相殺することができる。

## 【0 1 3 4】

本願発明の第2の手段によりMOSトランジスタのゲート方向を位置基準として線対称または点对称なレイアウトを採用すれば、チップ内のゲートを所定の方角に平行に揃えることができるので、半導体プロセスばらつきがトランジスタ特性に与える影響を回避できる。

## 【0 1 3 5】

本願発明の第3の手段によってプロセッサ相互だけでなくプロセッサ内部の二重化部分も線対称に配置すれば、非対称な場合に比べて二重化部分のディレイを均等に且つ短縮できるので、ユニプロセッサ性能が向上する。

## 【0 1 3 6】

代表的なプロセッサ間制御部や共用部のレイアウトを定めた第4の手段によれば、マルチプロセッサの配置に対して、記憶制御ユニットと共有キャッシュ、I/Oインタフェース制御ユニットとI/O回路群、グローバルクロック生成回路部、電源制御回路部等の配置が最適化される。

## 【0 1 3 7】

第5の手段は、プロセッサの対称性に倣ってクロックツリー、電源配線、I/Oピン等のグローバルパターンにも対称変換を実施することにより、クロックスキューや電源特性の均一化を図れる。

## 【0 1 3 8】

第6の手段は、複数のプロセッサ領域に対応する半導体プロセス用マスクパターンを対称変換によって生成することにより、マスクパターン生成にかかる工数を削減できる。

【 0 1 3 9 】

第 7 の手段は、パッケージ基板やマルチチップモジュール基板等の配線パターンにも対称変換を適用することにより、実装時において各々のプロセッサに対して等価な動作を保証できる。

【図面の簡単な説明】

【図 1】

図 1 は本願発明の第 1 実施例のオンチップマルチプロセッサのチップレイアウトを示すフロアプラン図である。

【図 2】

図 2 は第 1 実施例の機能ブロック構成図である。

【図 3】

図 3 は第 1 実施例の論理ユニット内部における論理ブロックのレイアウト図である。

【図 4】

図 4 は第 1 実施例の論理ブロック内部の MOS トランジスタ回路群のレイアウト図である。

【図 5】

図 5 は本願発明の第 2 実施例の MOS トランジスタ回路のレイアウト図である。

【図 6 A】

図 6 A は本願発明の第 3 実施例のオンチップマルチプロセッサのクロックツリーのレイアウト図である。

【図 6 B】

図 6 は本願発明の第 3 実施例のオンチップマルチプロセッサの電源配線のレイアウト図である。

【図 6 C】

図 6 は本願発明の第 3 実施例のオンチップマルチプロセッサの I / O ピンのレイアウト図である。



【図 7】

図 7 は本願発明の第 4 実施例のオンチップマルチプロセッサのフロアプラン図である。

【図 8】

図 8 は本願発明の第 5 実施例のオンチップマルチプロセッサのフロアプラン図である。

【図 9】

図 9 は本願発明の第 6 実施例のオンチップマルチプロセッサのフロアプラン図である。

【図 1 0】

図 1 0 は本願発明の第 7 実施例のオンチップマルチプロセッサのフロアプラン図である。

【図 1 1】

図 1 1 は本願発明の第 8 実施例のオンチップマルチプロセッサを搭載したマルチチップモジュール配線基板のレイアウト図である。

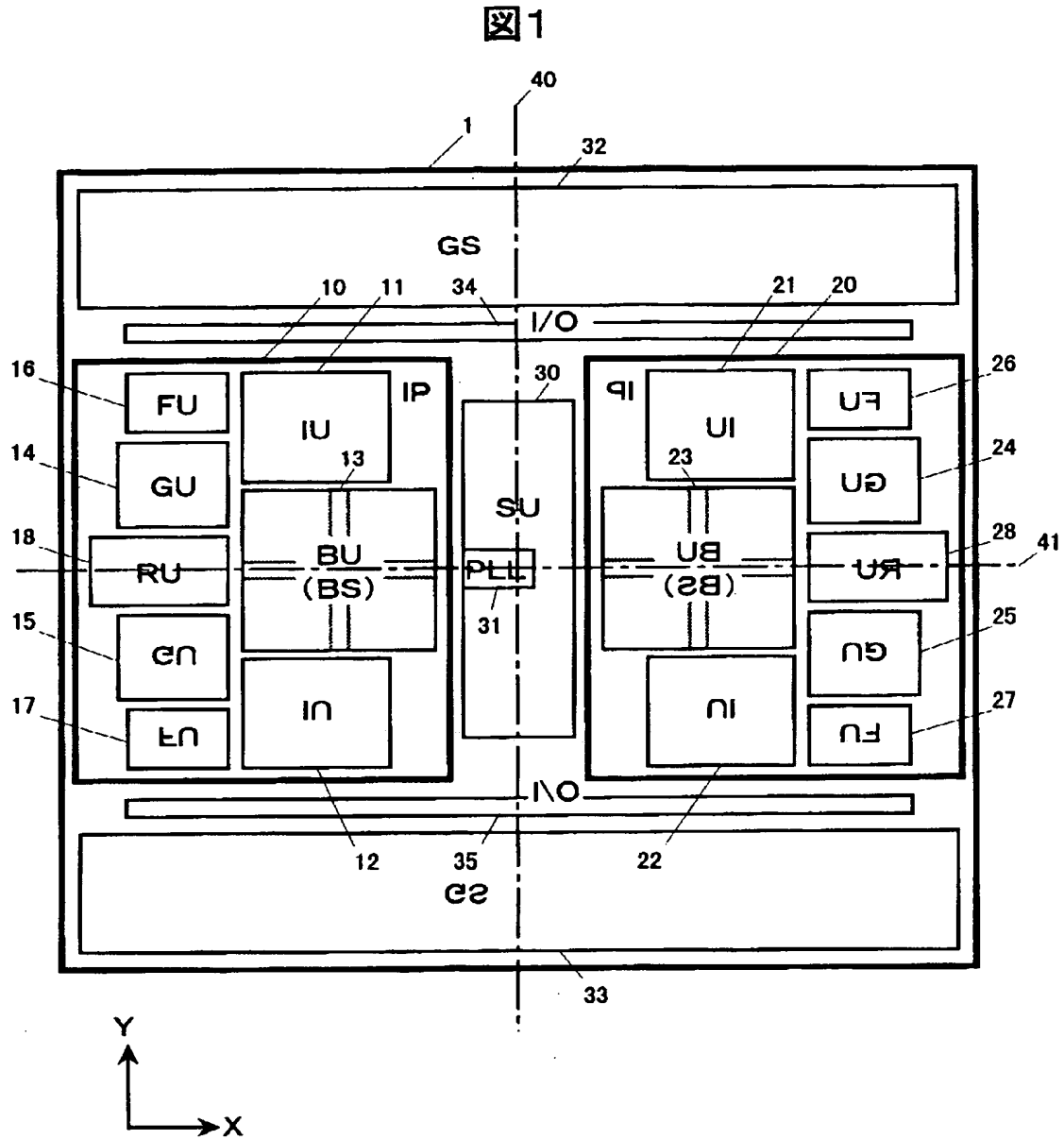
【符号の説明】

1、5 0、1 0 0、1 5 0、1 7 0 はオンチップマルチプロセッサ、1 0、2 0、6 0、7 0、1 0 1 ~ 1 0 8、1 5 1、1 5 2、1 7 1 ~ 1 7 4 はプロセッサ、3 0、8 0、1 1 0 ~ 1 1 2、1 6 0、1 7 5 はマルチプロセッサ間制御部、3 1、8 1、1 1 3、1 6 1 は N ロック生成回路部、3 2 ~ 3 5、8 2 ~ 8 6、1 1 4 ~ 1 1 7、1 2 0 ~ 1 2 3、1 6 2 ~ 1 6 6、1 7 6 ~ 1 8 4 はマルチプロセッサ間共用部、4 0、4 1、9 0、1 3 0、1 3 1、1 6 7 は直線軸、1 9 3 は原点、1 1 ~ 1 8、2 1 ~ 2 8、6 1 ~ 6 4、7 1 ~ 7 4 は処理ユニット、1 3、2 3、6 5、7 5、1 5 3、1 5 4 は二次キャッシュメモリ、3 2、3 3、8 5、8 6、1 1 4 ~ 1 1 7、1 6 4、1 7 6 ~ 1 7 9 は共有キャッシュメモリ、3 4、3 5、8 2 ~ 8 4、1 2 0 ~ 1 2 3、1 6 6、1 8 1 ~ 1 8 4 は I / O 回路群、2 0 1 はデータ系論理部、2 0 3 h が制御系論理部、2 0 2、2 0 4 は論理ブロック群、2 0 5、2 0 6 はレジスタ、2 2 2、2 2 3 は MOS トランジスタ、2 2 4、2 4 5、2 5 0、2 5 1 はゲートは 2 2 0、2 2 1、2 2

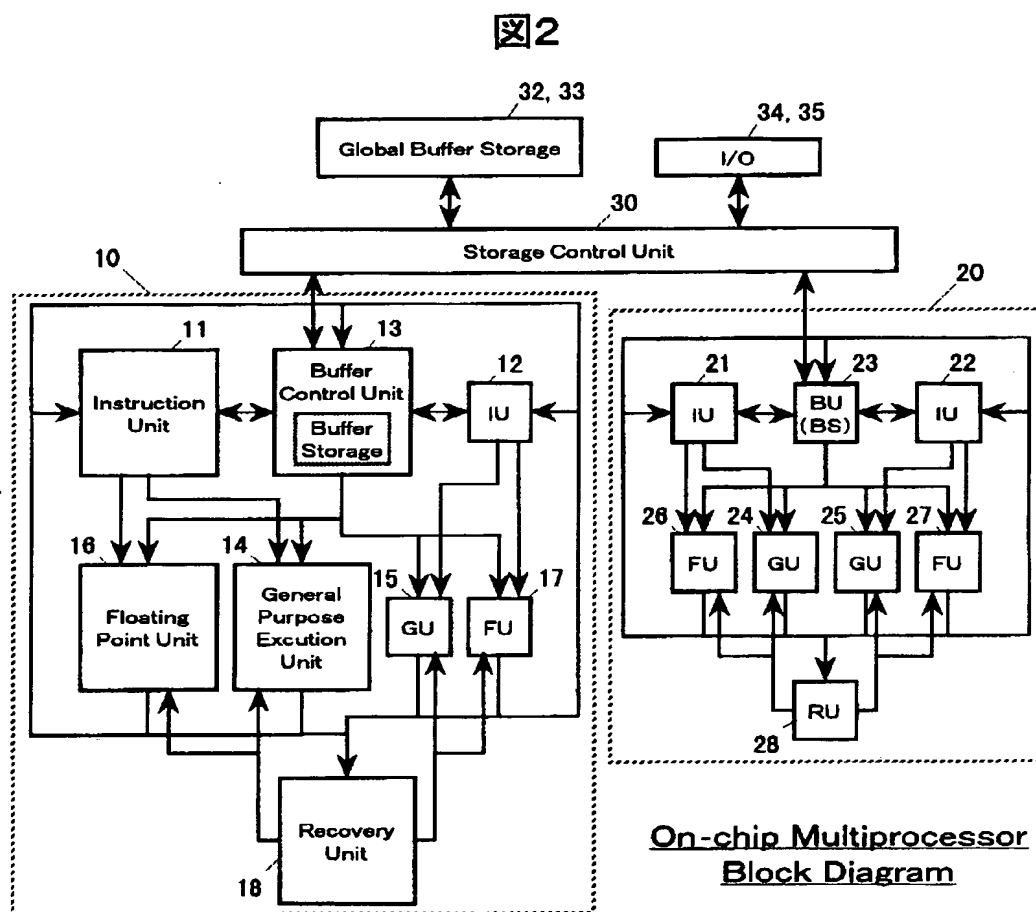
5、2 2 6 は配線、2 4 3、2 4 4、2 4 8、2 4 9 はソース、2 4 6、2 4 7、2 5 2 はドレイン、3 0 0 ~ 3 0 2 はNロックツリー、3 1 0、3 1 1 は電源配線、3 2 0、3 2 1 はアンプ、3 5 0 はマルチチップモジュール基板である。

【書類名】 図面

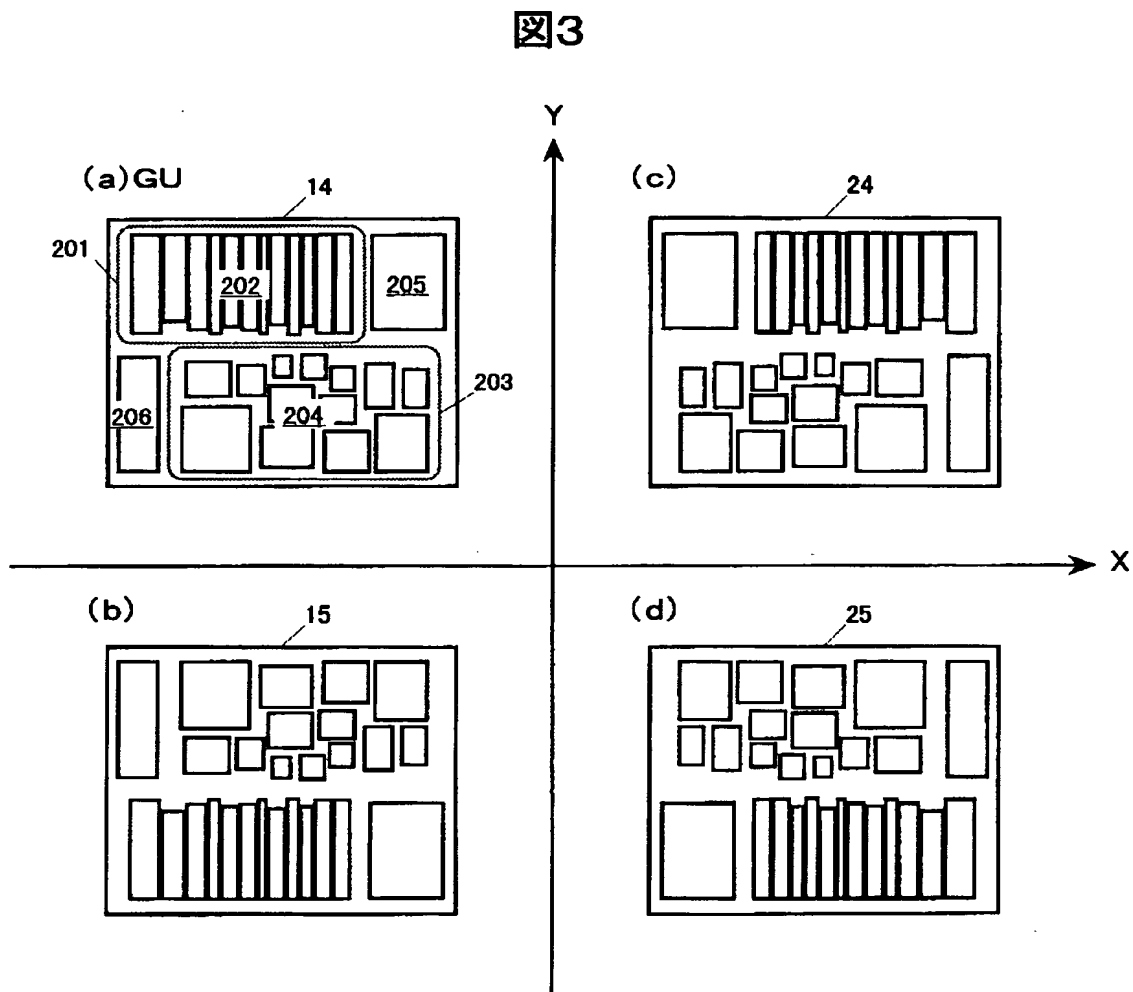
【図 1】



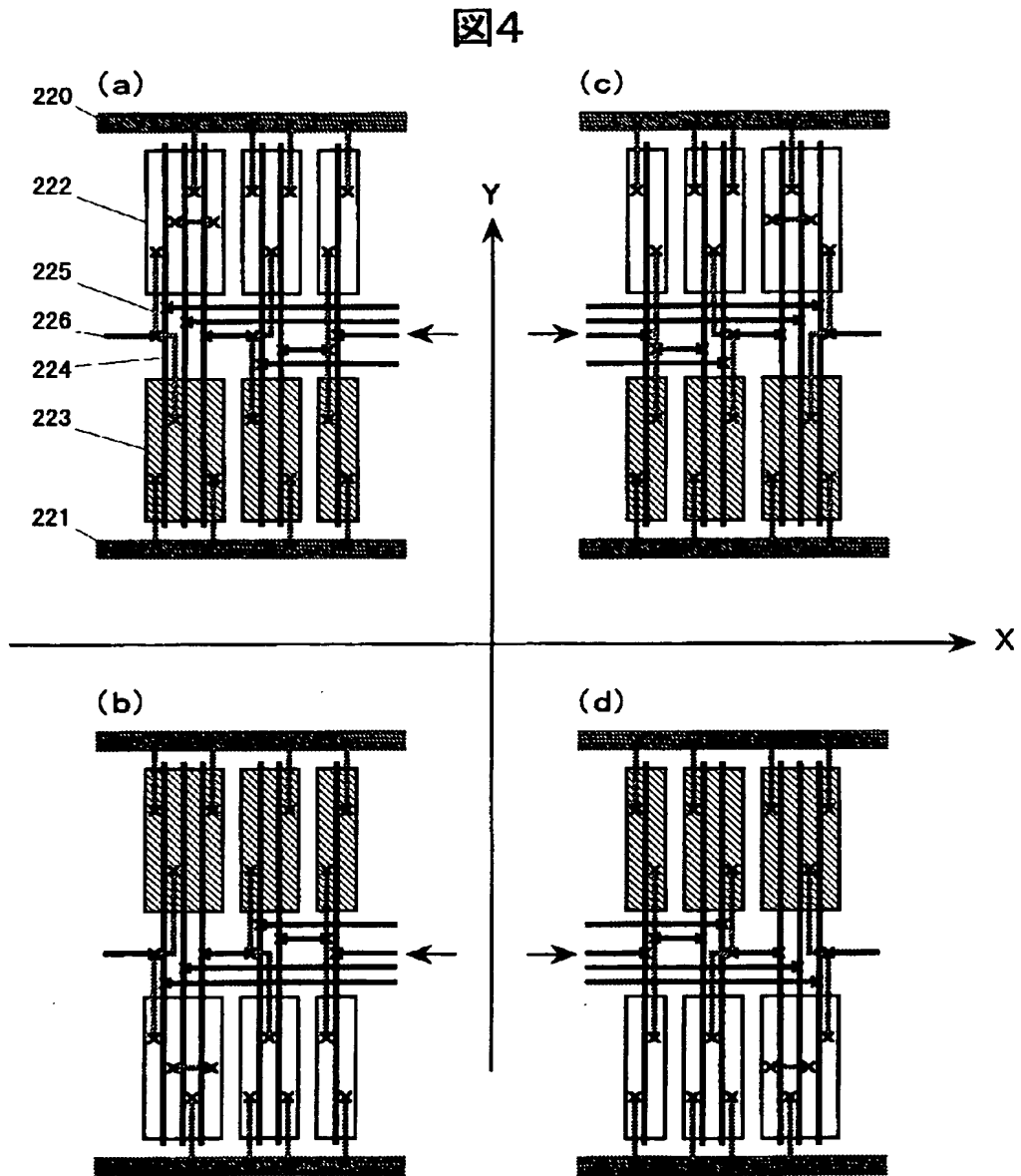
【図 2】



【図 3】

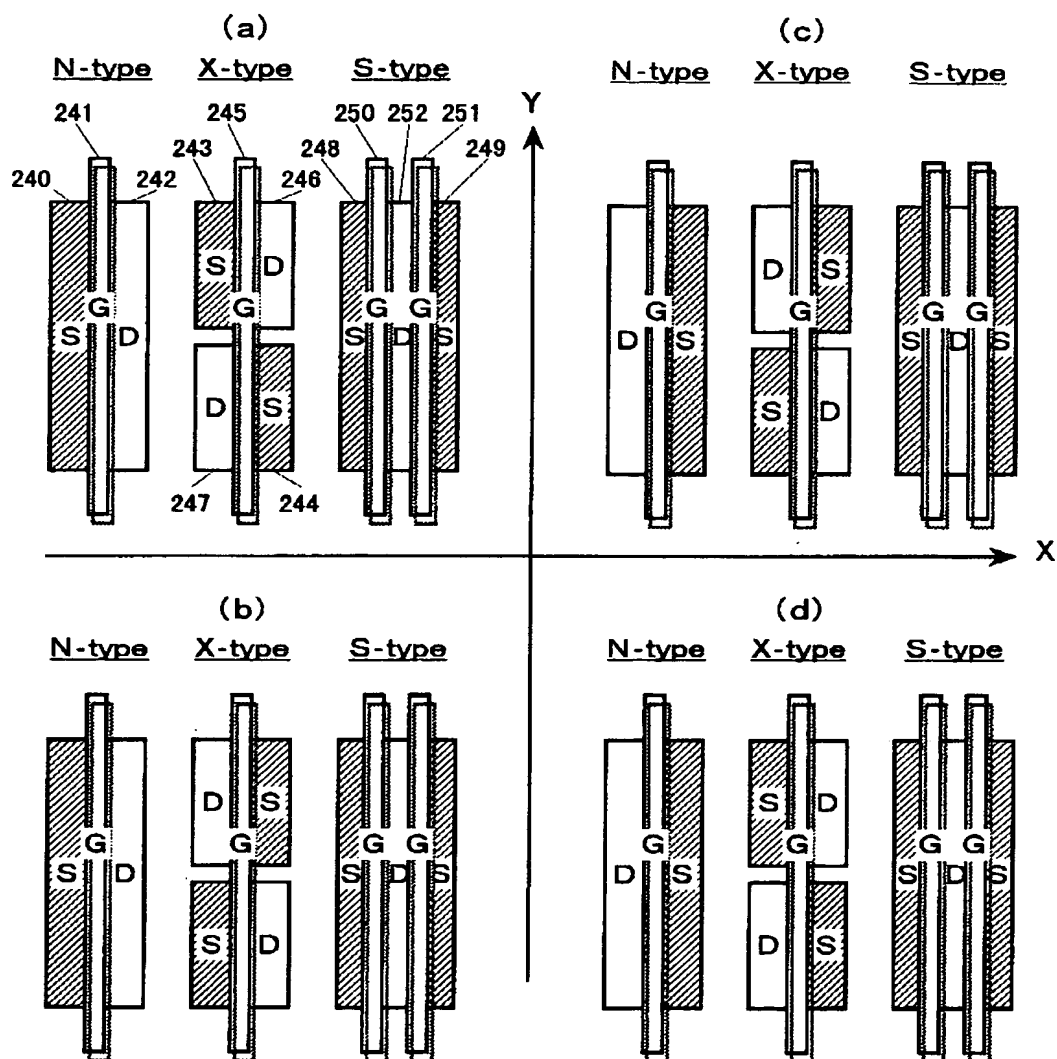


【図 4】

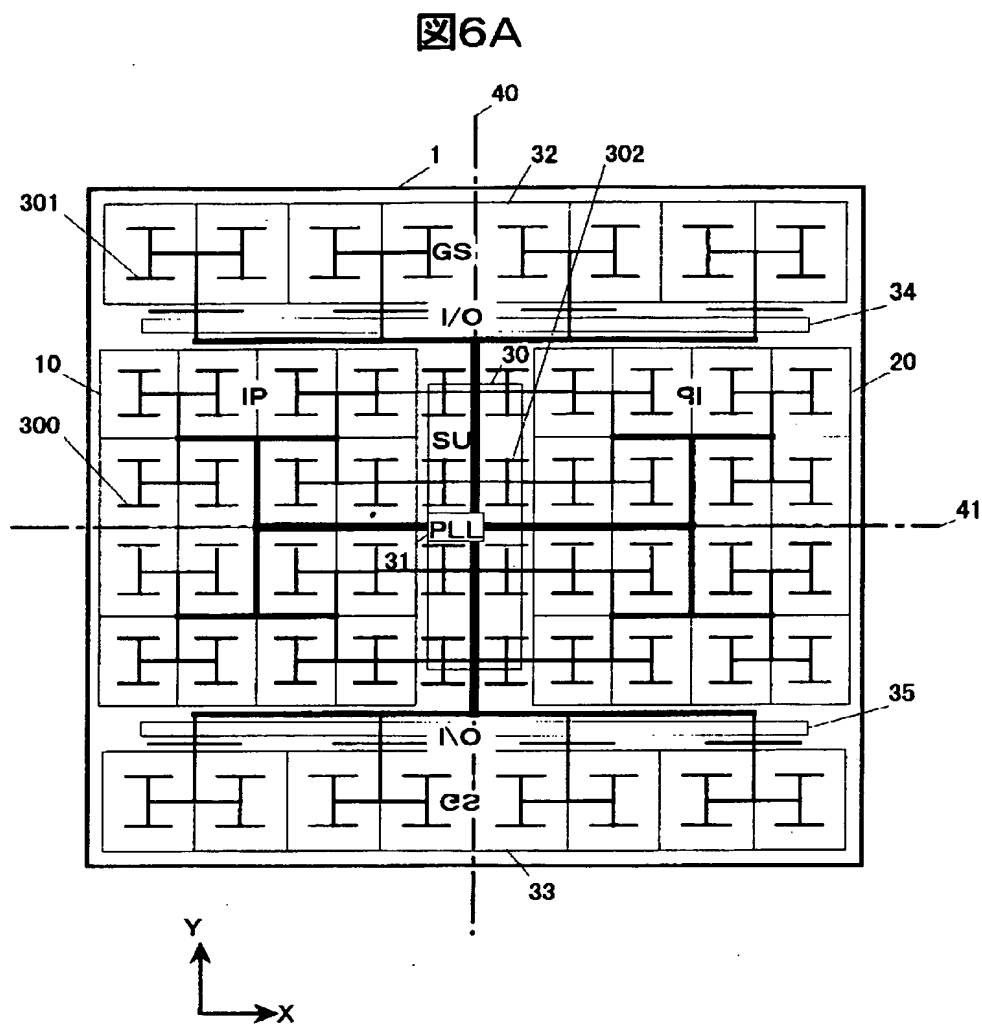


【図 5】

図5



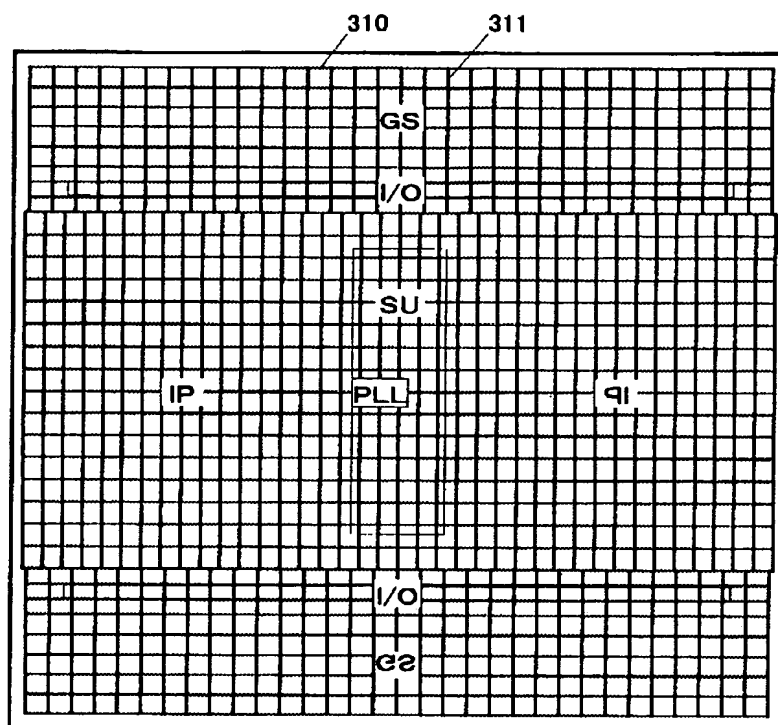
【図 6 A】





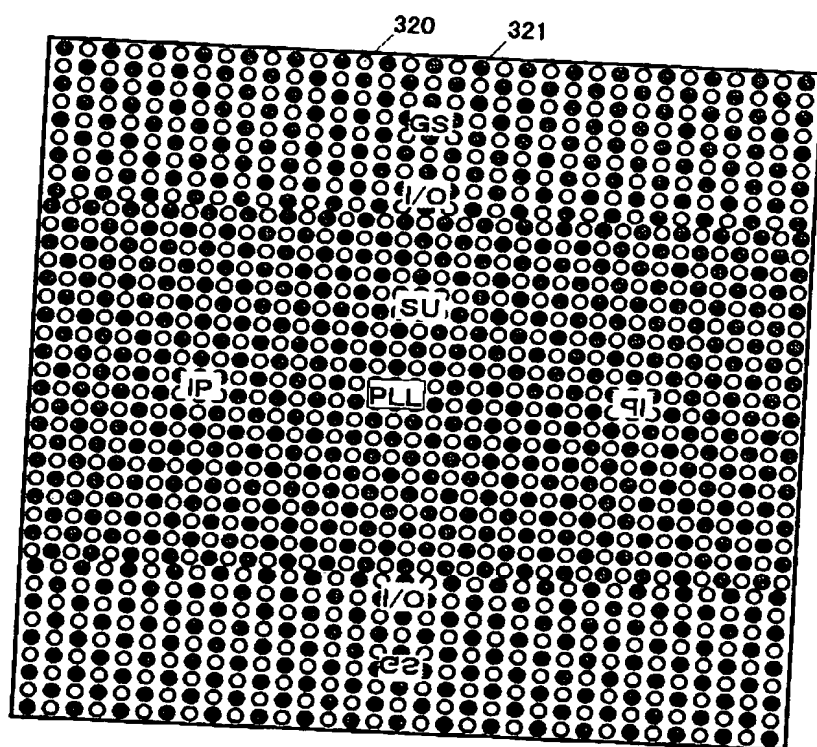
【図 6 B】

図6B

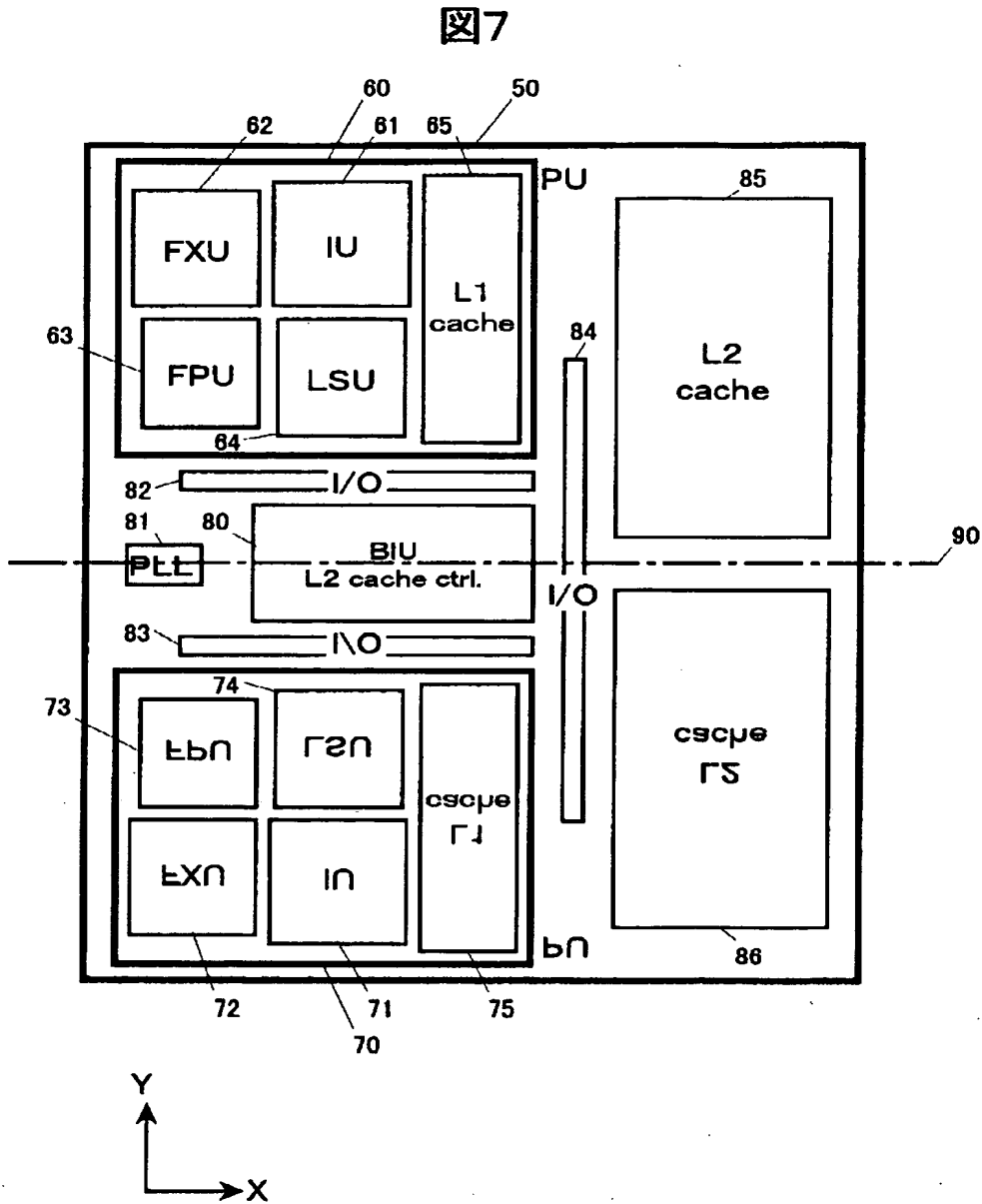


【図 6 C】

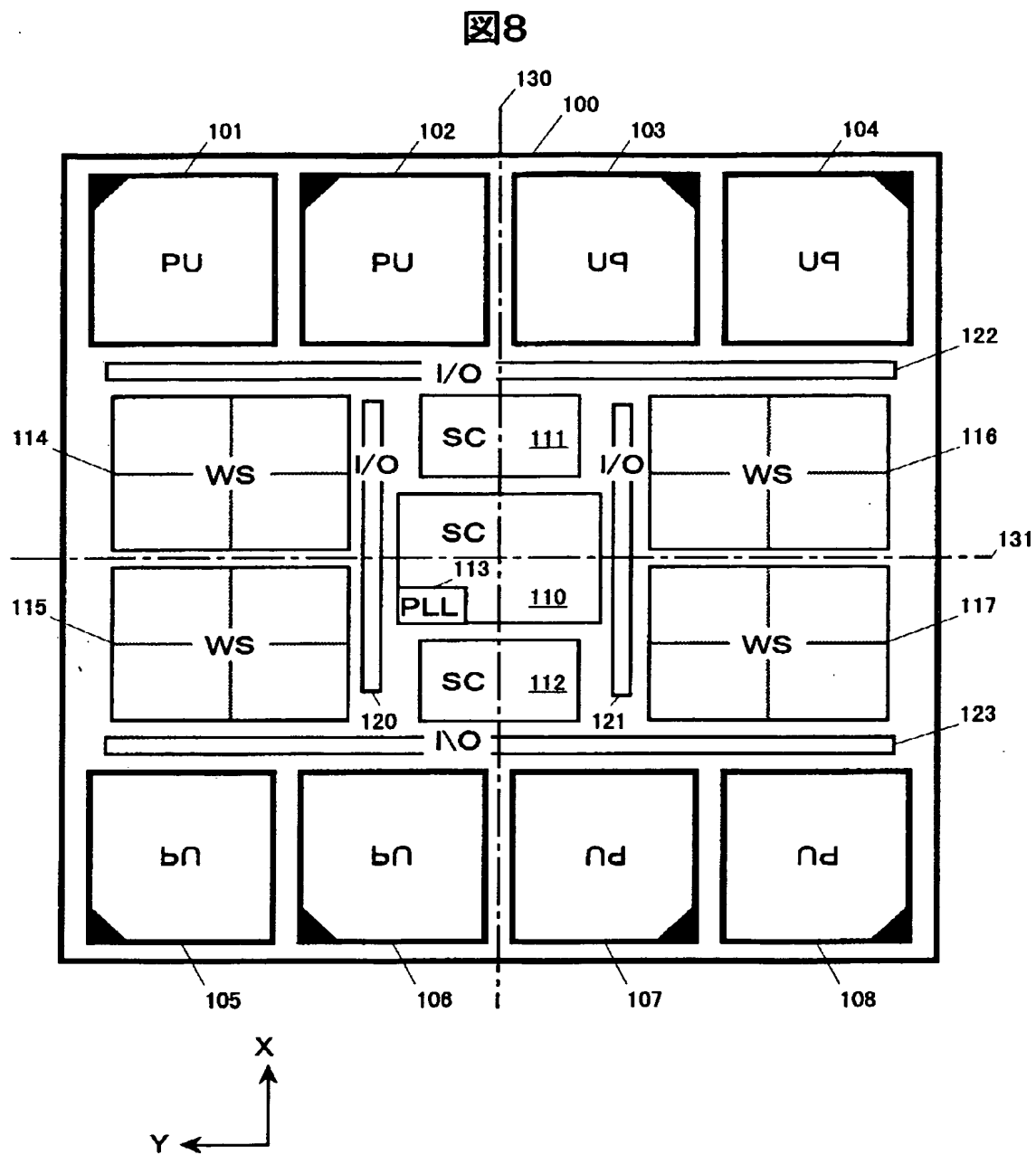
図6C



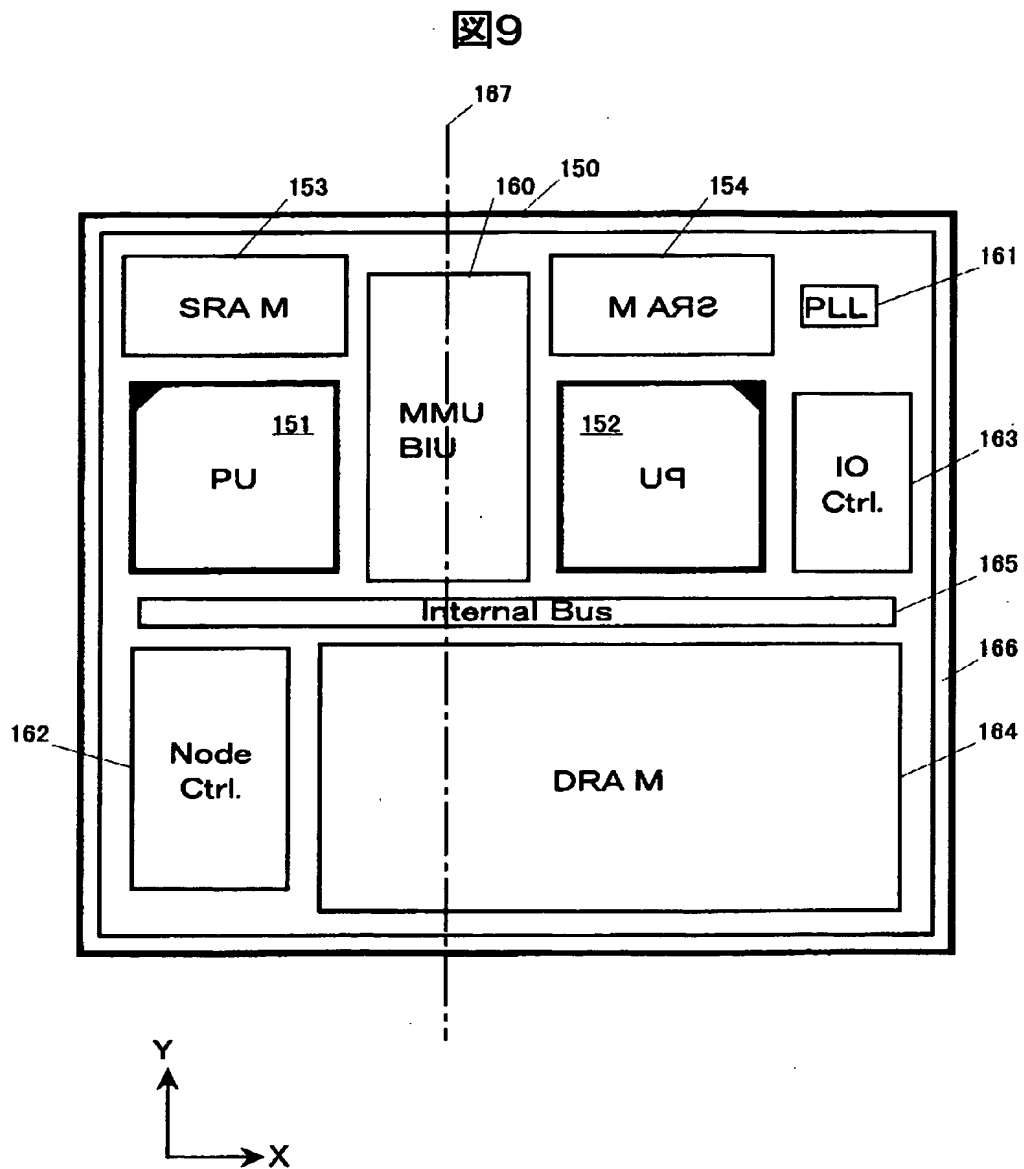
【図 7】



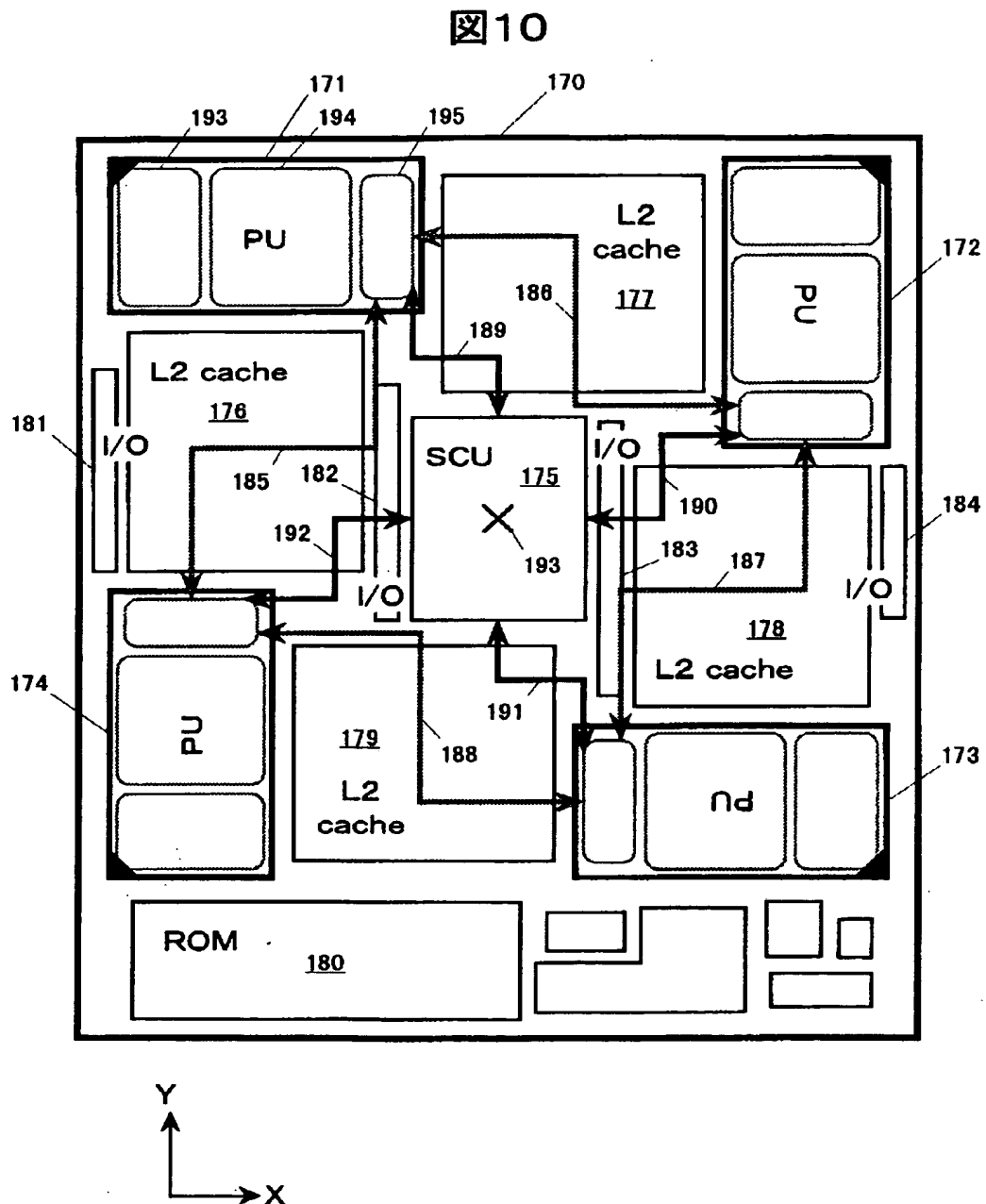
【図 8】



【図 9】

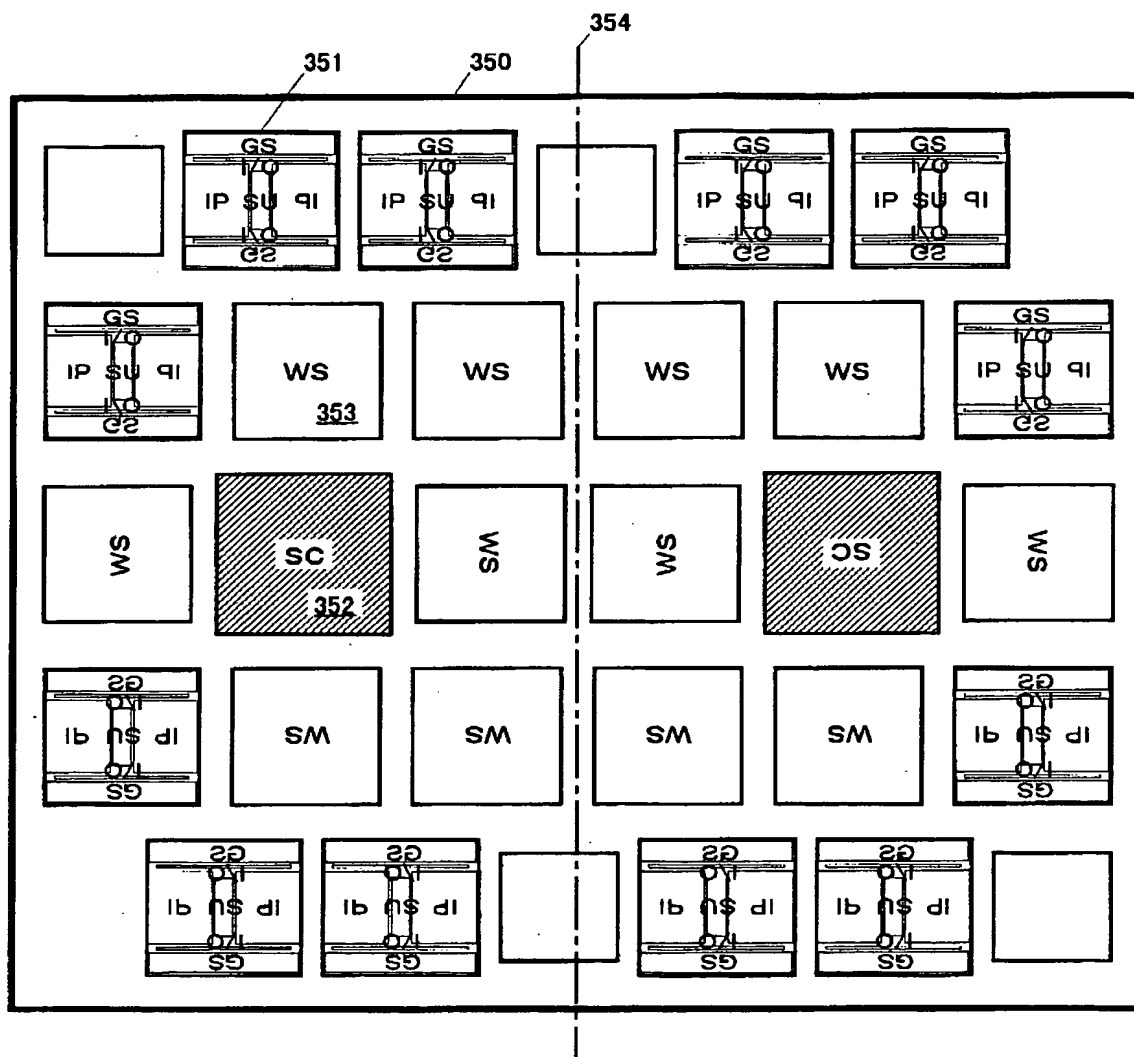


【図 1 0】



【図 1 1】

図 1 1



【書類名】 要約書

【要約】

【課題】 オンチップマルチプロセッサにおいてマルチプロセッサ間を効率的に制御するためのチップレイアウト（フロアプラン）を提供する。

【解決手段】 複数のプロセッサとプロセッサ間共用部を所望の直線軸に対して線対称に配置し、マルチプロセッサ間制御部を前記直線軸を含む領域に配置する。プロセッサと制御部間の距離が均等化且つ短縮され、さらに制御部と共用部間の距離の偏差が減ることにより、これらの間の高速信号処理が可能になる。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地  
氏 名 株式会社日立製作所